Universidade Federal
do Rio de Janeiro
Escola Politécnica

COMPARAÇÃO DE CIRCUITOS CONVERSORES DE TENSÃO PARA APLICAÇÃO EM SISTEMAS COLETORES DE ENERGIA SEM FIO

Caio Taulois Alves

Projeto de Graduação apresentado ao Curso de Engenharia Eletrônica e de Computação da Escola Politécnica, Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Engenheiro.

Orientador: Carlos Fernando Teodósio Soares

Rio de Janeiro

Setembro de 2016

COMPARAÇÃO DE CIRCUITOS CONVERSORES DE TENSÃO PARA APLICAÇÃO EM SISTEMAS COLETORES DE ENERGIA SEM FIO

Caio Taulois Alves

PROJETO DE GRADUAÇÃO SUBMETIDO AO CORPO DOCENTE DO CURSO DE ENGENHARIA ELETRÔNICA E DE COMPUTAÇÃO DA ESCOLA POLITÉCNICA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE ENGENHEIRO ELETRÔNICO E DE COMPUTAÇÃO

Autor:

_____

Caio Taulois Alves

Orientador:

_____

Prof. Carlos Fernando Teodósio Soares, D. Sc.

Examinador:

_____

Prof. Fernando Antônio Pinto Barúqui, D. Sc.

Examinador:

_____

Prof. José Gabriel Rodriguez Carneiro Gomes, Ph. D.

Rio de Janeiro – RJ, Brasil

Setembro de 2016

UNIVERSIDADE FEDERAL DO RIO DE JANEIRO
Escola Politécnica – Departamento de Eletrônica e de Computação
Centro de Tecnologia, bloco H, sala H-217, Cidade Universitária
Rio de Janeiro – RJ CEP 21949-900

Este exemplar é de propriedade da Universidade Federal do Rio de Janeiro, que poderá incluí-lo em base de dados, armazenar em computador, microfilmar ou adotar qualquer forma de arquivamento.

É permitida a menção, reprodução parcial ou integral e a transmissão entre bibliotecas deste trabalho, sem modificação de seu texto, em qualquer meio que esteja ou venha a ser fixado, para pesquisa acadêmica, comentários e citações, desde que sem finalidade comercial e que seja feita a referência bibliográfica completa.

Os conceitos expressos neste trabalho são de responsabilidade do(s) autor(es).

AGRADECIMENTO

Gostaria de agradecer, primeiramente, minha mãe, Cristiane, por ser a melhor mãe do mundo e ter me ajudado durante toda minha vida, pessoal e acadêmica. Gostaria de agradecer meu pai, José, por sempre ter sido uma inspiração para mim, fazendo tudo possível para que nossa família pudesse ser feliz. Gostaria muito que você tivesse aqui comigo comemorando essa vitória, mas sei, onde quer que você esteja, você está muito feliz e sempre torcendo por mim. Gostaria de agradecer minha vó, Isis, que sempre está torcendo por mim.

Gostaria de agradecer meu orientador Carlos Teodósio, por ter sido um ótimo orientador e ter me ajudado muito a criar um ótimo projeto final.

Gostaria de agradecer todos os grandes amigos que fiz nessa incrível jornada, Caio, Douglas, João Marcos, Marcelo, Zeneide, Eduardo, Nelson, entre muitos outros, sei que vocês vão ficar para sempre na minha vida.

Gostaria de agradecer a melhor namorada possível, Catarina, que mesmo há pouco tempo comigo, sempre me apoiou e acreditou em mim.

RESUMO

Esse projeto final consiste no estudo e desenvolvimento de dois sistemas coletores de energia totalmente integrados operando na faixa de rádio AM comercial, um utilizando um retificador de tensão e outro um dobrador de tensão, fabricados em um processo CMOS de 0,35 μm. Fomos capazes de projetar dois sistemas coletores com a eficiência de conversão de energia de 81,5% e 77,7%, utilizando retificador de tensão e dobrador de tensão, respectivamente.

Palavras-Chave: eletrônica, Microeletrônica, projeto final, sistema coletor de energia, retificador de tensão, dobrador de tensão, comparador, layout, CMOS.

ABSTRACT

This undergraduate project presents a study and development of two fully integrated energy harvesting systems operating in the commercial AM radio band, one system using a voltage rectifier and another using voltage doubler, manufactured in a CMOS process of 0.35 μm We were able to design two harvesting systems with 81,5% and 77,7% power conversion efficiency, using voltage rectifier and voltage doubler, respectively.

Key-words: eletronic, Microeletronic, undergraduate project, energy harvesting system, voltage rectifier, voltage double, comparator, layout, CMOS.

SIGLAS

UFRJ – Universidade Federal do Rio de Janeiro;

CMOS - *Complementary Metal Oxide Semiconductor;*

PCE - Eficiência de conversão de potência

Sumário

Capítulo 1 1
1.1 Tema 1
1.2 Delimitação 1
1.3 Justificativa 2
1.4 Objetivo 3
1.5 Metodologia 3
Capítulo 2 5
2.1 Retificador de Tensão 5
2.1.1 Retificador de Tensão de Meia Onda 5
2.1.2 Retificador de Tensão de Onda Completa 11
2.2 Dobrador de Tensão 13
2.3 Comparador 19
Capítulo 3 26
3.1 Retificador de Tensão 27
3.2 Dobrador de Tensão 33
Capítulo 4 39
4.1 MOSFET 39
4.2 Retificador de Tensão 42
4.3 Dobrador de Tensão 44
Capítulo 5 47
5.1 Retificador de Tensão 47
5.2 Dobrador de Tensão 52
Capítulo 6 58
Bibliografia 59

Lista de Figuras

Fig. 1.2.1.Diagrama de blocos do sistema coletor de energia. 2
Fig. 2.1.1 Retificador de tensão com carga resistiva e formas de onda das tensões a entrada e na saída. 6
Fig. 2.1.2 Retificador de tensão com carga capacitiva e formas de onda das tensões na entrada e na saída. 7
Fig. 2.1.3 Retificador de tensão com a carga resistiva capacitiva e formas de onda das tensões na entrada e na saída e a corrente no diodo. 8
Fig. 2.1.4 Retificador de tensão de onda completa e as formas de onda das tensões na entrada e na saída. 12
Fig. 2.1.5 Retificador com MOSFETs. 13
Fig. 2.2.1 Dobrador de tensão com carga capacitiva e as formas de onda das tensões na entrada e na saída 13
Fig. 2.3.1 Circuito do retificador de tensão completo incluindo os comparadores. 20
Fig. 2.3.2 Circuito do dobrador de tensão completo incluindo os comparadores. 20
Fig. 2.3.3 Comparadores em porta comum. 21
Fig. 2.3.4 Circuito completo do Comparador 1. 23
Fig. 2.3.5 Circuito completo do Comparador 2. 23
Fig. 2.3.6 Inversor adotado como driver nos comparadores das Figuras 2.2.4 e 2.2.5. . 24
Fig. 2.3.7 Transistor MOS de canal N com diodo parasita. 25
Fig. 2.3.8 Transistor MOS de canal P com diodo parasita. 25
Fig. 3.1.1 Circuito do retificador de tensão completo incluindo os comparadores e carga resistiva. 29
Fig. 3.1.2 Formas da onda da tensão na entrada e na saída do retificador de tensão com comparadores ideais. 29
Fig. 3.1.3 Circuito usado para dimensionar o Comparador 2, usando o transistor de canal P como carga na saída. 30
Fig. 3.1.4 Comparador 2 dimensionado para o circuito retificador de tensão. 31
Fig. 3.1.5 Saída do Comparador 2 em função da tensão aplicada à entrada inversora. . 32
Fig. 3.1.6 Módulo da resposta em frequência do Comparador 2 para diversos valores para a tensão de alimentação $V_{DD.}$ 32
Fig. 3.2.1 Circuito do dobrador de tensão completo incluindo os comparadores e carga resistiva. 34
Fig. 3.2.2 Formas de onda da tensão na entrada e na saída do dobrador de tensão com comparadores ideais. 35
Fig. 3.2.3 Circuitos usados para dimensionar os Comparadores 1 e 2 por simulação. .. 35
Fig. 3.2.4 Comparador 1, dimensionado para o dobrador de tensão. 36
Fig. 3.2.5 Comparador 2, dimensionado para o dobrador de tensão. 36
Fig. 3.2.6 Saída do Comparador 1 em função da tensão na entrada. 37
Fig. 3.2.7 Módulo da resposta em frequência do Comparador 1 para diversos valores para a tensão de alimentação VDD. 37
Fig. 3.2.8 Saída do Comparador 2 em função da tensão na entrada. 38
Fig. 3.2.9 Módulo da resposta em frequência do Comparador 2 para diversos valores para a tensão de alimentação VDD. 38
Fig. 4.1.1 Layout de um transistor MOS. 40
Fig. 4.1.2 Transistores de canal N e de canal P. 40

Fig. 4.1.3 Transistor com largura W grande com layout ineficiente. 40
Fig. 4.1.4 Transistor com largura W grande e layout eficiente. 41
Fig. 4.2.1 Layout do Comparador 2 do retificador de tensão. 43
Fig. 4.2.2 Layout do retificador de tensão. 43
Fig. 4.2.3 Forma de ondas das correntes nos transistores do retificador de tensão. 44
Fig. 4.3.1 Layout do Comparador 1 do dobrador de tensão. 45
Fig. 4.3.2 Layout do Comparador 2 do dobrador de tensão. 45
Fig. 4.3.3 Layout do retificador de tensão 46
Fig. 4.3.4 Formas de ondas das correntes nos transistores do dobrador de tensão, obtidas por simulação. 46
Fig. 5.1.1 faixa da amplitude do sinal de entrada do retificador de tensão 47
Fig. 5.1.2 Valores de pico da tensão do sinal de saída do retificador de tensão. 48
Fig. 5.1.3 Ganho de tensão médio do retificador de tensão em função da amplitude da tensão na entrada. 49
Fig. 5.1.4 Potência de saída média do retificador de tensão em função da amplitude da tensão na entrada. 50
Fig. 5.1.5 PCE do retificador de tensão em função da amplitude da tensão na entrada. 50
Fig. 5.1.6 Formas de onda da tensão na entrada e na saída do retificador de tensão com a influência dos elementos parasitas. 51
Fig. 5.1.7 Potência de saída média do retificador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada. 51
Fig. 5.1.8 PCE do retificador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada. 51
Fig. 5.2.1 Faixa da amplitude do sinal de entrada do dobrador de tensão. 52
Fig. 5.2.2 Valores de pico da tensão do sinal de saída do dobrador de tensão. 52
Fig. 5.2.3 Ganho de tensão médio do dobrador de tensão em função da amplitude do sinal de entrada. 53
Fig. 5.2.4 Potência de saída média do dobrador de tensão em função da amplitude da tensão na entrada. 54
Fig. 5.2.5 PCE do dobrador de tensão em função da amplitude da tensão na entrada. .. 54
Fig. 5.2.6 Formas de onda da tensão na entrada e na saída do dobrador de tensão com a influência dos elementos parasitas. 55
Fig. 5.2.7 Potência de saída média do dobrador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada. 55
Fig. 5.2.8 PCE do dobrador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada. 55
Fig. 5.2.9 PCE do retificador de tensão com comparadores ideais em função da amplitude da tensão na entrada. 56
Fig. 5.2.10 PCE do dobrador de tensão com comparadores ideais em função da amplitude da tensão na entrada. 57

Lista de Tabelas

Tabela 5.2.1 Síntese dos resultados das simulações. 57

Capítulo 1

Introdução

1.1 Tema

O tema do trabalho consiste no estudo, projeto e simulação de dois circuitos coletores de energia totalmente integrados, um retificador [1] e um dobrador [2]. Os circuitos serão projetados para operar na faixa de rádio AM comercial e para serem fabricados em um processo CMOS de 0,35 μm. Além das simulações, será feito o *layout* dos dois circuitos e as simulações de circuito extraído, contendo os elementos parasitas estimados a partir dos *layouts*.

O projeto está dentro da área de Microeletrônica, focando em sistemas coletores de energia sem fio. Para o desenvolvimento, é necessário o conhecimento de dimensionamento de circuitos dobradores de tensão, circuitos retificadores, comparadores, transistores de efeito de campo e de projeto de *layout* de circuitos integrados CMOS.

1.2 Delimitação

O projeto é focado em circuitos retificadores e multiplicadores de tensão a serem implementados em um processo de fabricação CMOS 0,35 μm para sistemas coletores de energia sem fio.

No diagrama de blocos contido na Fig. 1.2.1 podemos ver o fluxo completo do sistema coletor de energia. A antena de rádio é responsável por captar a energia provida

da faixa de rádio AM comercial. Como a potência dos sinais de rádio captados por um receptor são da ordem de algumas dezenas de dBm, a rede de casamento de impedância é necessária para que a entrada de tensão do coletor apresente a amplitude necessária para fazê-lo funcionar. Nesse estudo iremos focar no projeto do coletor de energia, deixando o estudo da rede de casamento de impedância para os próximos trabalhos.

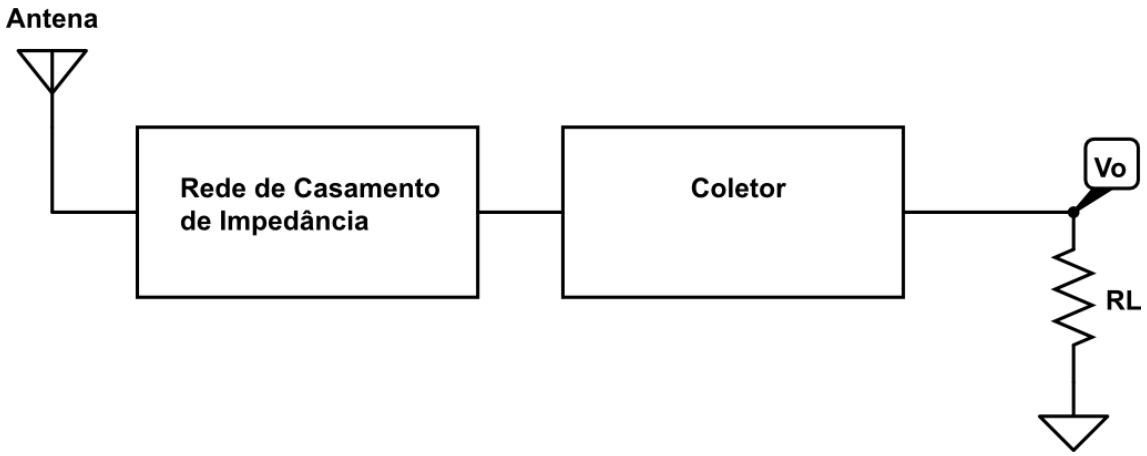


Fig. 1.2.1.Diagrama de blocos do sistema coletor de energia.

1.3 Justificativa

Energia elétrica é um tópico fundamental na sociedade moderna. Muito dinheiro é gasto em estudos em diversas áreas da ciência por todo planeta à procura de soluções para minimizar o desperdício. Uma área que vem prosperando e sendo alvo de diversos estudos é a de sistemas coletores de energia sem fio, que têm o objetivo principal de coletar energia de fontes como transmissões de rádio frequência, energia solar, energia de vibrações mecânicas e diferenças de temperatura para fornecer energia para aparelhos eletrônicos de baixa potência. É uma área de muito interesse por causa da necessidade de se encontrar meios renováveis de energia, atraindo pesquisadores do mundo. Nos sistemas coletores de energia solar, podemos chegar à potência de $10\ \mu W/cm^2$ dentro de casa e $10\ mW/cm^2$ fora. Para vibrações mecânicas, $4\ \mu W/cm^2$ para humana e $100\ \mu W/cm^2$ para industrial. Com diferenças de temperatura, $30\ \mu W/cm^2$ e $10\ mW/$

cm^2, para humana e industrial, respectivamente. Utilizando transmissões de rádio frequência, temos 0,1 $\mu W/cm^2$. Mesmo sendo uma potência mais baixa que os outros sistemas coletores, ainda há muita possibilidade de pesquisa e aplicações, por ser uma área relativamente nova.

Diante dessa questão, foi decidido estudar uma forma de aproveitar a energia desperdiçada em transmissões de rádio. Como a energia que se objetiva captar é muito pequena, há a necessidade de se obter a maior eficiência energética possível com os circuitos coletores de energia, além, é claro, do menor custo do circuito integrado, possibilitando a eventual fabricação em massa do mesmo.

1.4 Objetivo

Uma vez que os receptores de rádio captam sinais com potência de uma ordem muito baixa, como dito anteriormente, o circuito coletor de energia é um estágio muito crítico pois os circuitos convencionais que desejamos alimentar utilizam tensões da ordem de volts. O objetivo geral é, então, projetar o circuito coletor de tensão mais eficiente possível para aproveitar a energia das ondas de rádio na faixa de AM comercial.

1.5 Metodologia

Para tal objetivo, foi decidido estudar dois circuitos coletores de energia que foram publicados nos artigos [1] e [2]. Para cada circuito, será feito um projeto com dimensionamento e simulações considerando um processo de fabricação CMOS 0.35 μm, carga de 10 kΩ, e operação na faixa de AM comercial (1,2 MHz). Para cada projeto, será simulado:

- A faixa da amplitude de entrada em que o circuito pode operar;

- A faixa da tensão DC na saída;
- A potência de saída;
- O ganho de conversão de tensão;
- A eficiência de conversão de potência (PCE).

Após a análise de todas as simulações, será elaborado o *layout* dos circuitos para a fabricação em um processo CMOS de 0,35 μm para então simular o circuito extraído, considerando-se os efeitos de todos os elementos parasitas. No final, será decidido o circuito com melhor desempenho para a implementação física.

Capítulo 2

Circuitos Coletores de Energia

2.1 Retificador de Tensão

O retificador é um dispositivo essencial para os sistemas coletores de energia sem fio. Ele é o responsável em converter uma entrada senoidal, no caso ondas de rádio na faixa de AM comercial, em uma saída constante, que ainda possui um pequeno componente de corrente alternada, o *ripple*. Para reduzir o *ripple*, um regulador de voltagem pode ser utilizado. Um regulador ativo irá consumir uma parcela da potência coletada, reduzindo a eficiência do sistema. Por essa razão, neste projeto utilizaremos um filtro capacitivo passivo para reduzir o *ripple*. Há dois tipos principais de retificadores: os de meia onda e os de onda completa. Veremos mais sobre os dois tipos nas próximas seções.

2.1.1 Retificador de Tensão de Meia Onda

O retificador de meia onda reproduz na saída apenas meio ciclo da entrada senoidal. Podemos ver na Fig. 2.1.1 um exemplo simples de um retificador utilizando diodo e um resistor, juntamente com as formas de onda da tensão na entrada e na saída. No semiciclo positivo, o diodo está polarizado diretamente, conduzindo corrente para o resistor. No semiciclo negativo, o diodo está polarizado inversamente, cortando a corrente.

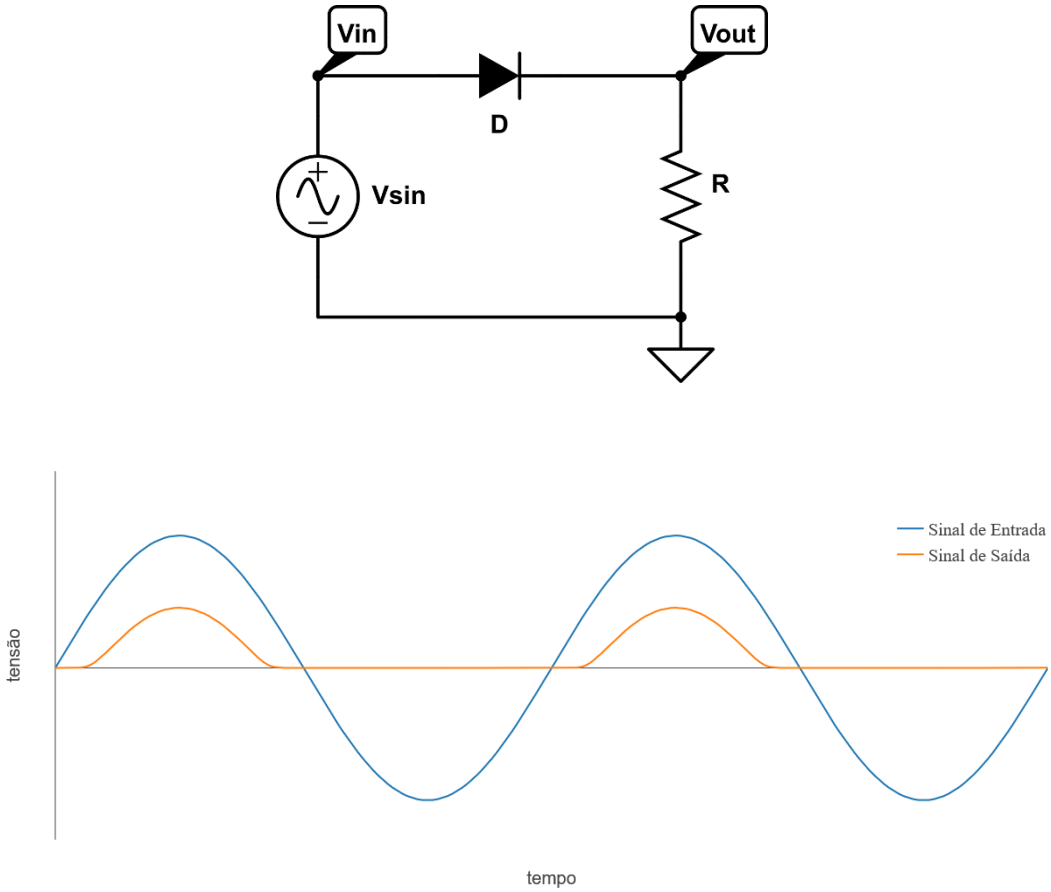


Fig. 2.1.1 Retificador de tensão com carga resistiva e formas de onda das tensões a entrada e na saída.

Diante da forma de onda do sinal de saída do retificador, podemos ver que ele não atende ao nosso requisito, pois a tensão na saída não é constante. Para resolver isso, vamos trabalhar com retificadores com filtro capacitivo, que reduz substancialmente as variações na tensão de saída. Na Fig. 2.1.2, temos um retificador simples, utilizando um diodo ideal e um capacitor, sem a carga resistiva, juntamente com as formas de onda da tensão na entrada e na saída. No ciclo positivo da entrada senoidal, o diodo conduz carregando o capacitor até a entrada chegar ao pico. Após o pico, o diodo é polarizado reversamente e a saída se mantém constante com o valor de pico da entrada. Teoricamente, como não há resistor de carga, o capacitor manterá sua tensão indefinidamente.

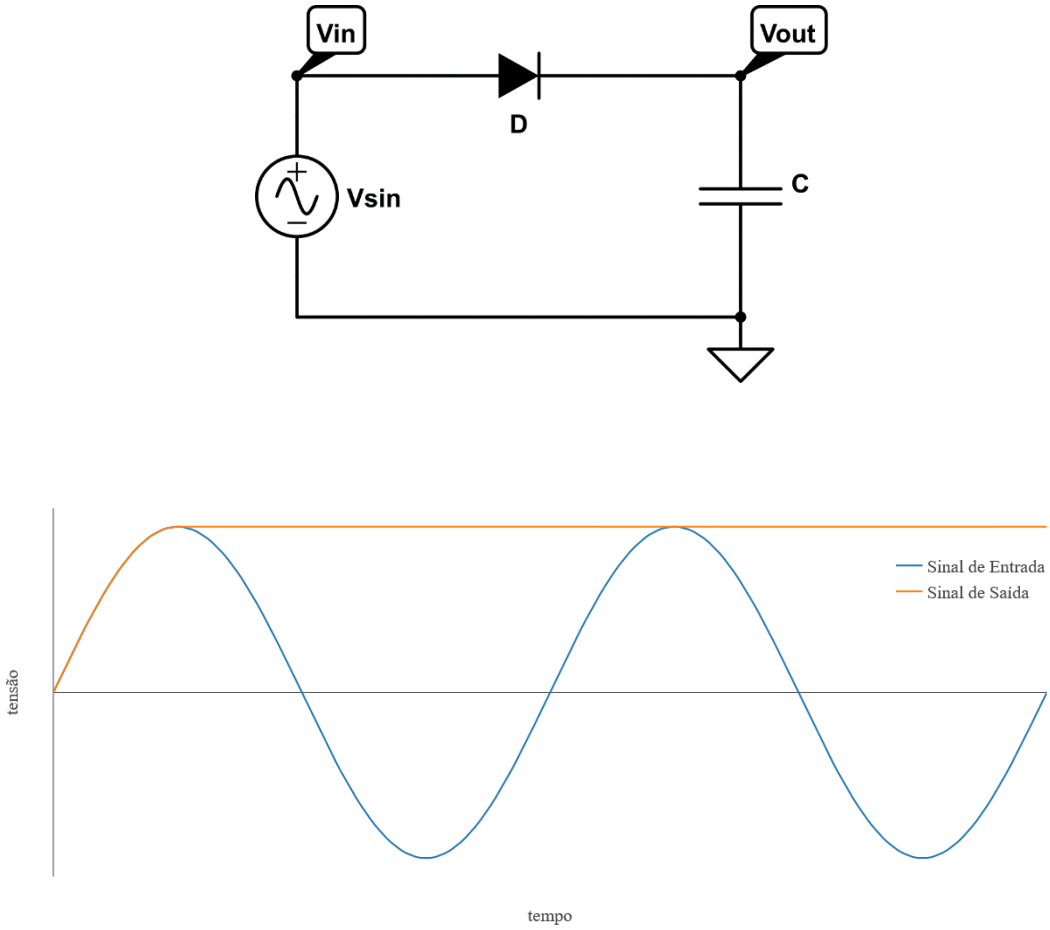


Fig. 2.1.2 Retificador de tensão com carga capacitiva e formas de onda das tensões na entrada e na saída.

Agora vamos analisar o retificador com a carga resistiva em paralelo com o capacitor, que está sendo mostrado na Fig. 2.1.3, juntamente com a as formas de onda da tensão na entrada e na saída e a corrente no diodo. Como antes, o capacitor é carregado com a tensão de pico da entrada senoidal. Entretanto, quando o diodo é polarizado reversamente, o capacitor se descarrega através da carga resistiva durante todo o outro semiciclo, até que a tensão na entrada seja novamente maior que a tensão do capacitor. Quando isso acontece, o diodo é polarizado diretamente e o capacitor se carrega novamente. Esse processo se repete em todo ciclo.

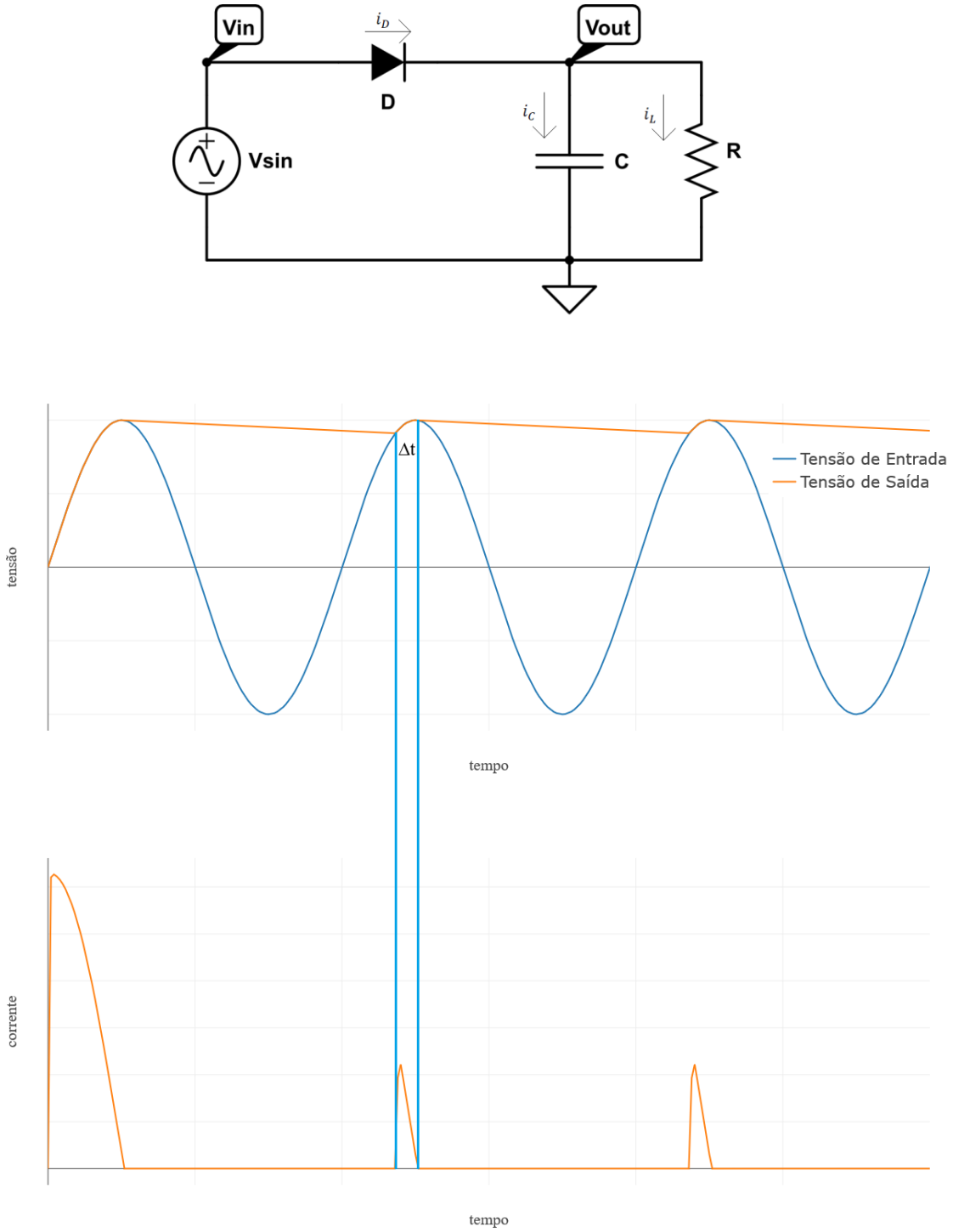


Fig. 2.1.3 Retificador de tensão com a carga resistiva capacitiva e formas de onda das tensões na entrada e na saída e a corrente no diodo.

Neste ponto, vamos desenvolver as equações para a topologia do retificador de tensão com a carga resistiva e capacitiva mostrada na Fig. 2.1.3, pois elas serão usadas mais tarde no projeto dos dois circuitos coletores de energia estudados neste trabalho.

A partir do circuito, podemos ver que:

$$i_D = i_C + i_L, \tag{2.1.1}$$

$$i_D = C\frac{d_{v_I}}{dt}, \tag{2.1.2}$$

$$i_L = \frac{v_o}{R}, \tag{2.1.3}$$

onde Δt é o intervalo de tempo em que o diodo está conduzindo. Assumindo um diodo ideal, t_1 é o instante em que a tensão de entrada se iguala à tensão de saída e t_2 é o instante em que a tensão na saída atinge o valor de pico, como podemos ver na Fig. 2.1.3. Quando o diodo não está conduzindo, o capacitor se descarrega através da carga resistiva, fazendo com que a tensão de saída caia exponencialmente com a constante de tempo RC. Para que a tensão de saída não caia demasiadamente, a constante RC deve ser muito maior que o período da entrada senoidal. Continuando no desenvolvimento, podemos expressar a tensão na saída enquanto o diodo não está conduzindo como:

$$v_o = V_p e^{-\frac{t}{CR}}\ , \tag{2.1.4}$$

onde V_p é a tensão de pico da senoide na saída. No instante em que o capacitor volta a se carregar novamente, temos que:

$$V_p - V_r \cong V_p e^{-\frac{T}{CR}}\ , \tag{2.1.5}$$

onde T é o período da senoide e V_r é a tensão de *ripple*, ou seja, mínimo valor que a tensão na saída pode atingir durante a descarga do capacitor. Assim, usando a aproximação:

$$CR \gg T \rightarrow e^{-\frac{T}{CR}} \cong 1 - \frac{T}{CR}\ , \tag{2.1.6}$$

obtemos:

$$V_r \cong V_p\frac{T}{CR} = \frac{V_p}{fCR} = \frac{I_L}{fC}\ , \tag{2.1.7}$$

e assim equacionamos o capacitor:

$$C = \frac{V_p}{2V_r Rf}\ . \tag{2.1.8}$$

Podemos determinar o intervalo de condução Δt usando a seguinte expressão:

$$V_p \cos(\omega \Delta t) = V_p - V_r. \tag{2.1.9}$$

Como $\omega \Delta t$ é um ângulo pequeno, podemos aproximar o cosseno pela sua respectiva Série de Taylor:

$$\cos(\omega \Delta t) \cong 1 - \frac{1}{2}(\omega \Delta t)^2 \rightarrow \omega \Delta t \cong \sqrt{\frac{2V_r}{V_p}}. \tag{2.1.10}$$

Portanto, o intervalo de condução será dado por:

$$\Delta t \cong \frac{1}{\omega}\sqrt{\frac{2V_r}{V_p}}. \tag{2.1.11}$$

Para determinar a corrente de condução média do diodo, i_{Dmed}, faremos:

$$Q_{fornecida} = i_{C_{med}} \Delta t = CV_r. \tag{2.1.12}$$

Consequentemente,

$$i_{C_{med}} = \frac{CV_r}{\frac{\sqrt{\frac{2V_r}{V_p}}}{\omega}} = \frac{2\pi f C V_r}{\sqrt{\frac{2V_r}{V_p}}} = \pi I_L \sqrt{\frac{2V_p}{V_r}}. \tag{2.1.13}$$

Substituindo i_C em (2.1.1) por (2.1.13), podemos, então, equacionar a corrente média conduzida pelo diodo:

$$i_{Dmed} = I_L \left(1 + \pi \sqrt{\frac{2V_p}{V_r}}\right). \tag{2.1.14}$$

Para determinar a corrente máxima conduzida pelo diodo, podemos desenvolver (2.1.2) para o começo da condução do diodo, onde $t = 0$:

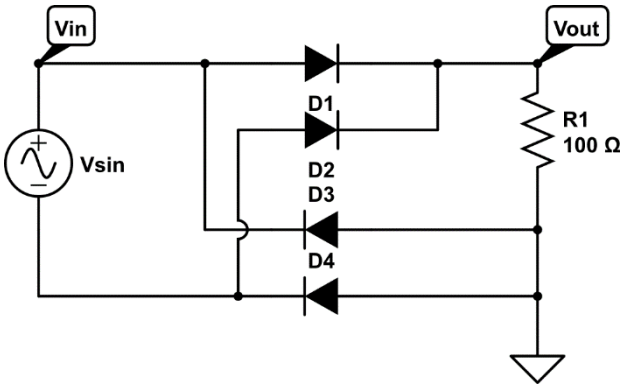
$$i_{Dmax} = I_L\left(1 + 2\pi\sqrt{\frac{2V_p}{V_r}}\right). \quad (2.1.15)$$

2.1.2 Retificador de Tensão de Onda Completa

Na Fig. 2.1.4, temos um exemplo de um retificador de onda completa utilizando um transformador e uma ponte dupla de diodos, juntamente com as formas de onda na da entrada e na saída. Esse tipo de retificador utiliza os dois ciclos da entrada senoidal, invertendo o ciclo negativo da senoide para prover uma saída com polaridade constante. Basicamente, o circuito possui dois retificadores de meia onda, onde os diodos D1 e D4 estarão polarizados diretamente e conduzindo quando a entrada está no semiciclo positivo e os diodos D2 e D3 no semiciclo negativo.

Podemos agora desenvolver o estudo feito para o retificador de meia onda para um retificador de onda completa, partindo do circuito da Fig. 2.1.4 com uma carga resistiva e capacitiva. Assim como o retificador de meia onda, a tensão de saída será quase igual à tensão de entrada. Entretanto, a frequência de *ripple* do sinal de saída será o dobro do sinal da entrada. Devemos, então, utilizar um período T/2, ao invés de T. Assim, a expressão (2.1.7) deverá reescrita como:

$$V_r = \frac{V_p}{2fCR}. \quad (2.1.16)$$



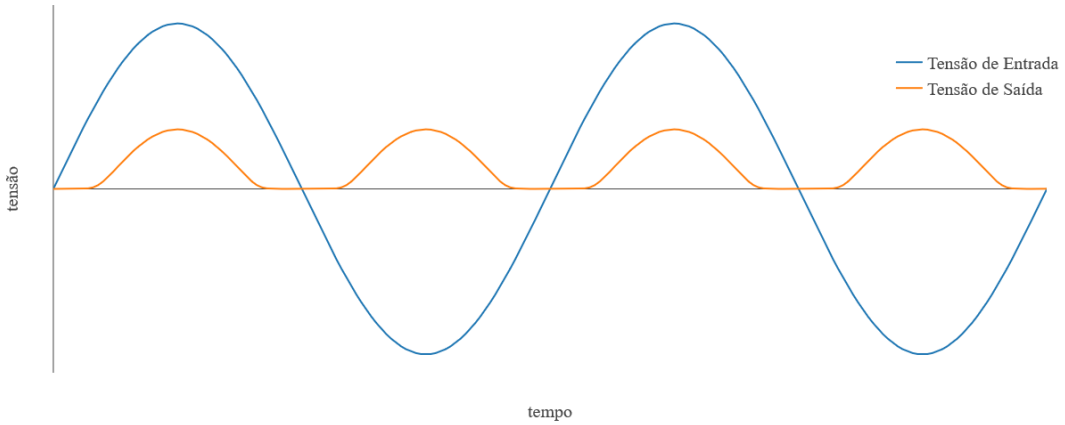


Fig. 2.1.4 Retificador de tensão de onda completa e as formas de onda das tensões na entrada e na saída.

Adaptando (2.1.14) para o caso do retificador de onda completa, podemos equacionar, então, a corrente média como:

$$i_{Dmed} = I_L\left(1 + \pi\sqrt{\frac{V_p}{2V_r}}\right), \tag{2.1.17}$$

e, partindo de (2.1.15), a corrente máxima conduzida pelos diodos:

$$i_{Dmax} = I_L\left(1 + 2\pi\sqrt{\frac{V_p}{2V_r}}\right). \tag{2.1.18}$$

O circuito do retificador adotado neste trabalho é bem parecido com o circuito da Fig. 2.1.4. Para melhorar a eficiência, os diodos são substituídos por transistores de efeito de campo MOSFET, conforme mostrando na Fig. 2.1.5. Trocando os diodos pelos transistores operando em triodo, diminuímos a queda de tensão sobre as chaves nos semiciclos em que elas estarão conduzindo, melhorando a eficiência do retificador.

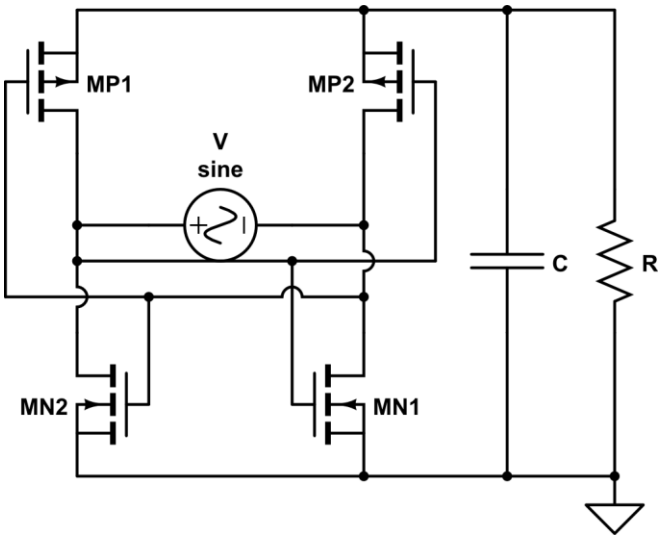
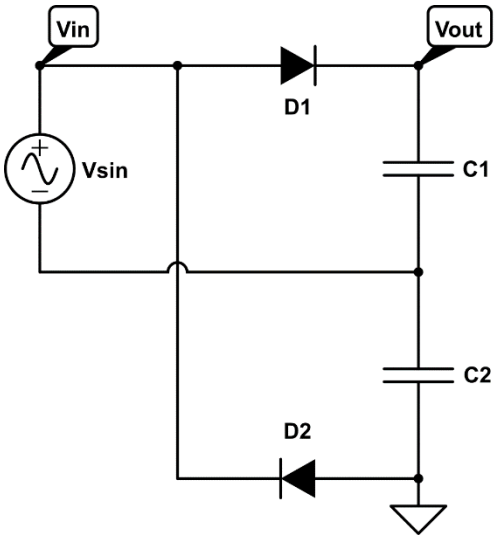


Fig. 2.1.5 Retificador com MOSFETs.

2.2 Dobrador de Tensão



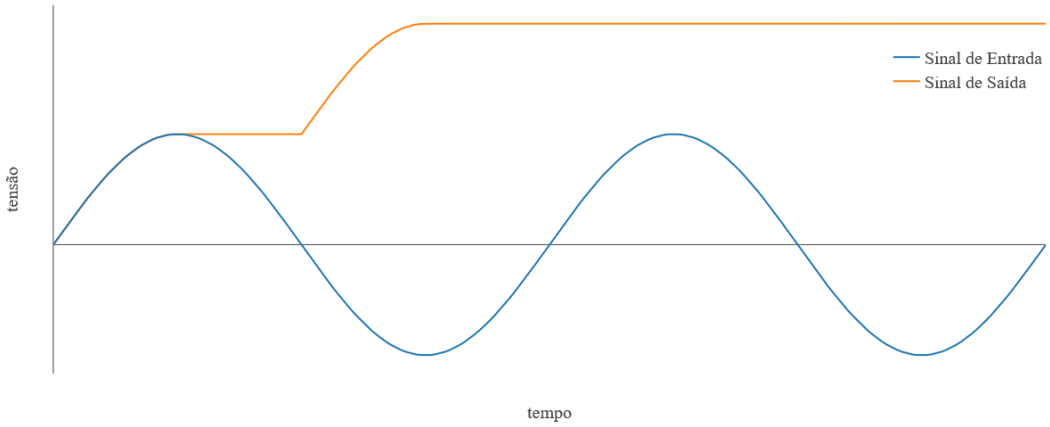


Fig. 2.2.1 Dobrador de tensão com carga capacitiva e as formas de onda das tensões na entrada e na saída

O dobrador de tensão possui uma lógica do semelhante à do retificador, mas, além de retificar a entrada alternada, ele dobra a tensão contínua. Na Fig. 2.2.1, temos um exemplo simples de um dobrador de tensão, feito a partir de dois retificadores de meia onda, juntamente com as formas de onda da tensão na entrada e na saída. No ciclo positivo, o diodo D1 está polarizado diretamente, carregando o capacitor C1. Já o diodo D2 está polarizado reversamente, impedindo a descarga do capacitor C2. No semiciclo negativo, acontece o contrário, com o capacitor C1 mantendo a carga adquirida no ciclo anterior e o capacitor C2 carregando até a sua tensão atingir o mesmo valor da amplitude do sinal de entrada.

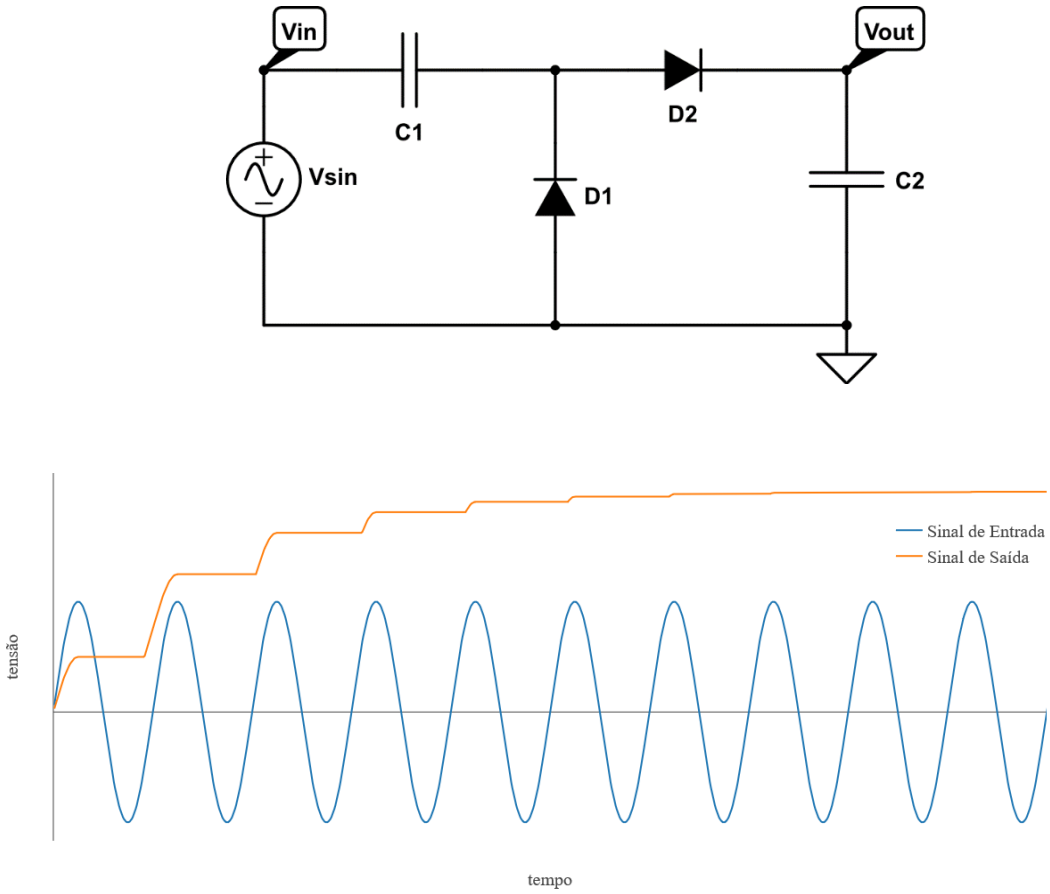
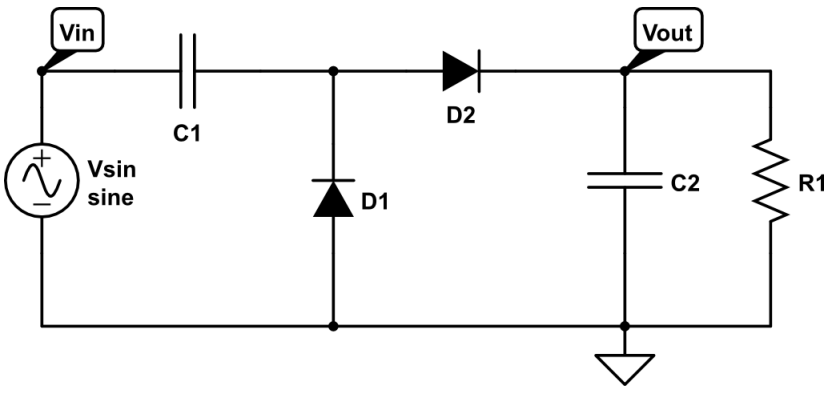


Fig. 2.2.2 Dobrador de tensão sem carga resistiva e as formas de onda das tensões na entrada e na saída.

Na Fig. 2.2.3, temos outro exemplo de dobrador de tensão, conhecido como Dobrador de *Greinacher*. Podemos dividir o comportamento desse circuito em regime permanente em duas fases. No semiciclo negativo da entrada senoidal, temos a primeira fase: o diodo D2 está cortado e o capacitor C1 é carregado com uma tensão igual à amplitude do sinal de entrada, com o diodo D1 conduzindo. No semiciclo positivo, temos a outra fase, em que o diodo D1 está cortado. Nessa fase, enquanto a tensão na saída for maior que o sinal da entrada somado à tensão no capacitor C1, o diodo D2 permanecerá em corte e o capacitor C2 será descarregado através da carga resistiva, ao mesmo tempo em que o capacitor C1 mantém a carga armazenada na fase anterior. Quando a tensão na entrada, somada à tensão armazenada em C1, ultrapassar a tensão na saída do circuito, o diodo D2 será polarizado diretamente e o capacitor C2 será carregado através da mesma malha de circuito que contém o capacitor C1, produzindo na saída uma tensão que corresponde à soma da tensão em C1 com a amplitude do sinal na entrada. Caso não existisse nenhuma carga resistiva na saída do circuito, a tensão obtida na saída em regime permanente corresponderia exatamente ao dobro da amplitude do sinal na entrada, como visto na Fig. 2.2.2.



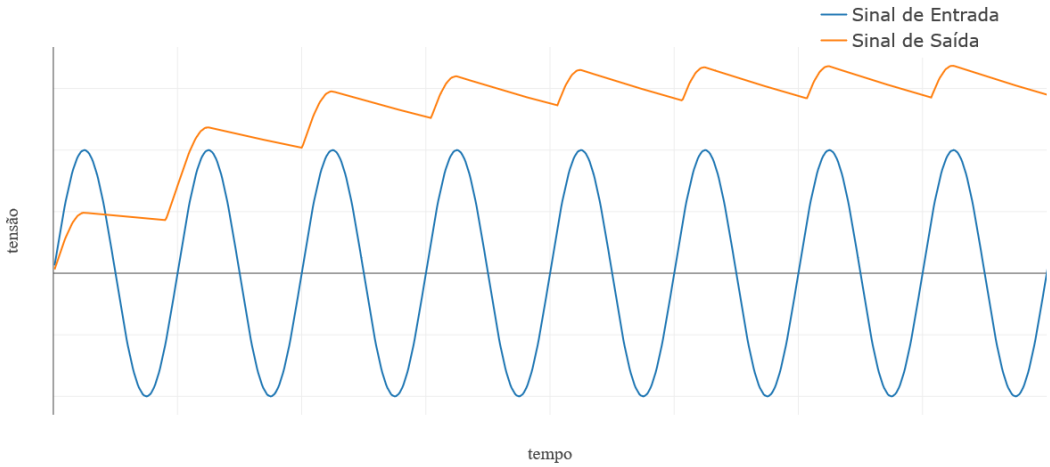


Fig. 2.2.3 Dobrador de tensão com carga resistiva e as formas de onda das tensões na entrada e na saída.

Analisando o circuito da Fig. 2.2.3 em regime permanente, vamos considerar que C2 é grande suficiente para manter a tensão de saída V_{out} e a corrente na carga resistiva i_L constante. Além disso, no regime permanente, as correntes nos capacitores i_{C_1} e i_{C2} tem média zero. Assim, temos no primeiro nó do circuito:

$$i_{c_1} + i_{D_1} = i_{D_2}. \tag{2.2.1}$$

Tomando a média das correntes em (2.2.1), teremos:

$$\frac{1}{T}\int_0^T i_{C_1}(t)\,dt + \frac{1}{T}\int_0^T i_{D_1}(t)\,dt = \frac{1}{T}\int_0^T i_{D_2}(t)\,dt, \tag{2.2.2}$$

sendo i_{D_1}a corrente no diodo D1 e i_{D_2}a corrente no diodo D2. Como a corrente no capacitor i_{C_1} tem média zero, então:

$$\frac{1}{T}\int_0^T i_{D_1}(t)\,dt = \frac{1}{T}\int_0^T i_{D_2}(t)\,dt. \tag{2.2.3}$$

Já no segundo nó do circuito temos:

$$i_{D_2} + i_{C_2} = i_L. \tag{2.2.4}$$

Tomando a média de (2.2.4), obteremos:

$$\frac{1}{T}\int_0^T i_{D_2}(t)\,dt + \frac{1}{T}\int_0^T i_{C_2}(t)\,dt = \frac{1}{T}\int_0^T i_L(t)\,dt. \tag{2.2.5}$$

Como a corrente no capacitor i_{C_1} tem média zero, então:

$$\frac{1}{T}\int_0^T i_{D_2}(t)\,dt = \frac{V_{out}}{R_1}, \tag{2.2.6}$$

onde $i_{D_2} = i_{C_1}$ na segunda fase, com D1 em corte e D2 em condução.

Para que o diodo D2 conduza corrente na segunda fase é necessário que a derivada da tensão em C1 seja positiva, pois:

$$i_{C_1} = C_1 \frac{dv_{C_1}}{dt}. \tag{2.2.7}$$

Caso a derivada seja negativa, a corrente i_{C_1} será negativa e o diodo D2 não permitirá a condução de corrente reversa. Assim, ao longo de todo o período T de $v_i(t)$, teremos derivada positiva em $v_{C_1}(t)$ somente no intervalo de tempo entre t_1 e t_2 em que:

$$\begin{cases} v_i(t_1) = V_{out} - V_A; \\ v_i(t_2) = V_A. \end{cases} \tag{2.2.8}$$

Então, a partir de (2.2.6) e (2.2.8):

$$\frac{1}{T}\int_{t_1}^{t_2} i_{D_2}(t)\,dt = \frac{V_{out}}{R_1}, \tag{2.2.9}$$

Como:

$$i_{D_1} = i_{C_1} = C_1 \frac{dv_{C_1}}{dt} = C_1 \frac{d}{dt}[v_i - (V_{out} - V_A)], \tag{2.2.10}$$

então:

$$\frac{1}{T}\int_{t_1}^{t_2} C_1 \frac{d}{dt}[v_i - (V_{out} - V_A)]\,dt = \frac{V_{out}}{R_1}. \tag{2.2.11}$$

Como V_{out} e V_A são constantes:

$$\frac{1}{T}\int_{t_1}^{t_2} C_1 \frac{dv_i}{dt}\,dt = \frac{V_{out}}{R_1}, \tag{2.2.12}$$

$$\frac{C_1}{T}[V_A - (V_{out} - V_A)] = \frac{V_{out}}{R_1}. \tag{2.2.13}$$

Por fim, temos:

$$V_{out} = \frac{2V_A}{1 + \frac{T}{R_1 C_1}} \tag{2.2.14}$$

Bom notar que se $R_1 \to \infty$, ou seja, sem a carga, teríamos:

$$V_{out} = 2V_A \tag{2.2.15}$$

Antes do regime permanente, existe um pequeno transitório até que o capacitor C2 seja carregador até atingir a tensão DC dada por (2.2.14).

A partir do circuito da Fig. 2.2.3, podemos tratar o estágio final do dobrador, constituído pelo diodo D2, o capacitor C2 e a carga resistiva, como sendo um retificador de tensão de meia onda, analisado na Seção 2.1.1. A partir de (2.1.8), podemos considerar os dois capacitores do dobrador iguais, com uma capacitância dada por:

$$C_1 = C_2 = \frac{V_p}{2V_r Rf}, \tag{2.2.16}$$

e a corrente máxima que passa pelo diodo D2 a partir de (2.1.15):

$$i_{Dmax} = I_L \left(1 + 2\pi \sqrt{\frac{2V_p}{V_r}} \right). \tag{2.2.17}$$

Sabemos que a corrente no diodo D1 durante a primeira fase de operação do circuito dobrador é dada por:

$$i_D = C_1 \frac{d_{v_I}}{dt}. \tag{2.2.18}$$

A partir do sinal da entrada, temos que:

$$v_i = V_A \sin(2\pi f t), \tag{2.2.19}$$

onde a derivada dessa tensão é dada por:

$$\left. \frac{d_{v_i}}{dt} \right|_{max} = V_A 2\pi f \cos(2\pi f t) \tag{2.2.20}$$

e seu valor máximo é:

$$\frac{d_{V_{in}}}{dt}_{max} = V_A 2\pi f. \quad (2.2.21)$$

sendo V_A a amplitude do sinal de entrada. Dessa forma, a corrente máxima que passa pelo diodo D1 durante a operação do circuito dobrador será a corrente que circula durante seu ciclo de carregamento, quando o capacitor C1 estiver submetido à máxima derivada de tensão da entrada, ou seja:

$$i_{max} = C_1 V_A 2\pi f, \quad (2.2.22)$$

O circuito do dobrador adotado neste trabalho é bem parecido com o circuito da Fig. 2.2.3. Como feito com o retificador, os dois diodos foram substituídos por MOSFETs, conforme mostrado na Fig. 2.2.4. Analogamente, o motivo dessa substituição é o de reduzir as quedas de tensão sobre as chaves e, consequentemente, aumentar a eficiência do circuito.

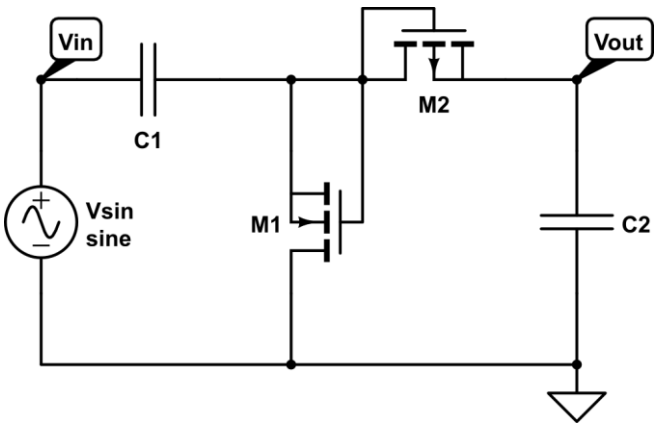


Fig. 2.2.4 Dobrador de tensão com MOSFETs

2.3 Comparador

O comparador também é um dispositivo essencial para os sistemas coletores de energia, com grande importância para a eficiência do sistema. Utilizando-os, podemos melhorar a eficiência do circuito ativando e desativando os transistores de uma forma mais rápida, reduzindo a corrente reversa e a queda de tensão sobre as chaves quando

estas estão conduzindo, o que contribui muito para elevar a eficiência dos sistemas coletores de energia. Na Fig. 2.3.1, temos o circuito do retificador de tensão com os seus respectivos comparadores. Já na Fig. 2.3.2, temos o circuito do dobrador de tensão com os seus respectivos comparadores

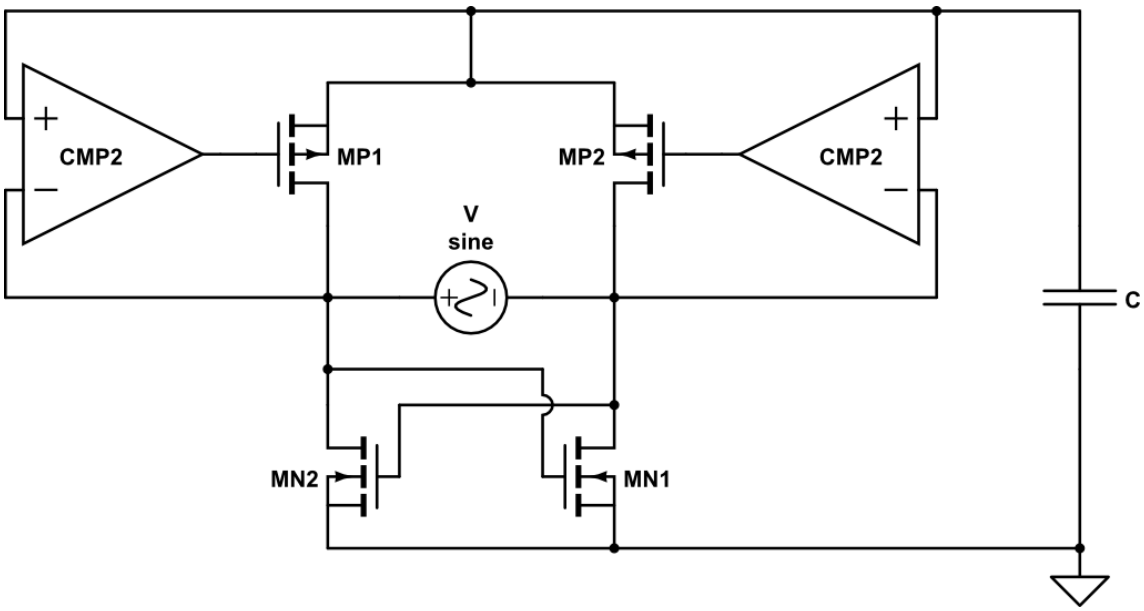


Fig. 2.3.1 Circuito do retificador de tensão completo incluindo os comparadores.

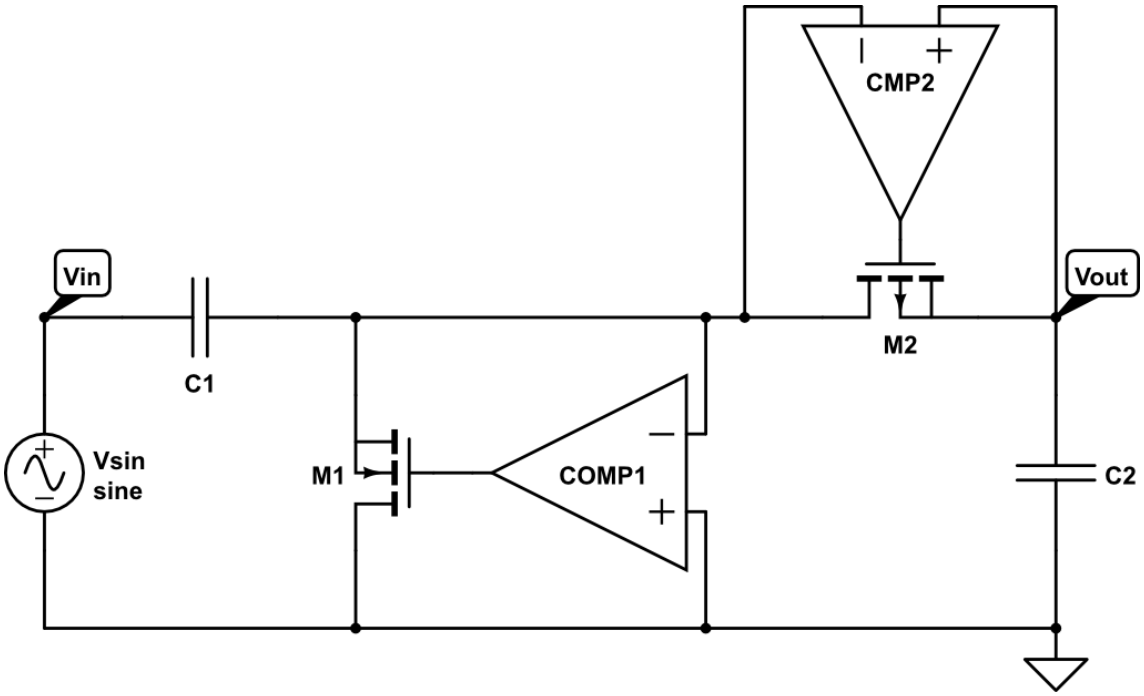


Fig. 2.3.2 Circuito do dobrador de tensão completo incluindo os comparadores.

Nesta aplicação, duas características são desejadas em um comparador para alcançarmos alta eficiência:

- Consumo de potência baixo;
- Chavear no tempo adequado à faixa de frequências do sinal de entrada.

É importante saber que essas duas características são conflitantes, pois uma maior velocidade de operação normalmente implica em um maior consumo de energia. Portanto, o dimensionamento de um comparador envolve um *trade-off entre esses dois requerimentos*, fazendo essa tarefa bem delicada e importante.

Depois de muita pesquisa, podemos ver na Fig. 2.3.3 as topologias que foram escolhidas por serem mais adequadas para este projeto, baseadas nos comparadores proposto em porta comum dos artigos [1], [2] e [3]. Como são comparadores em porta comum, esses dispositivos possuem baixo consumo de potência e, ao mesmo tempo, uma alta frequência de operação, por não sofrerem o Efeito *Miller*, presente em comparadores baseados em amplificadores diferenciais.

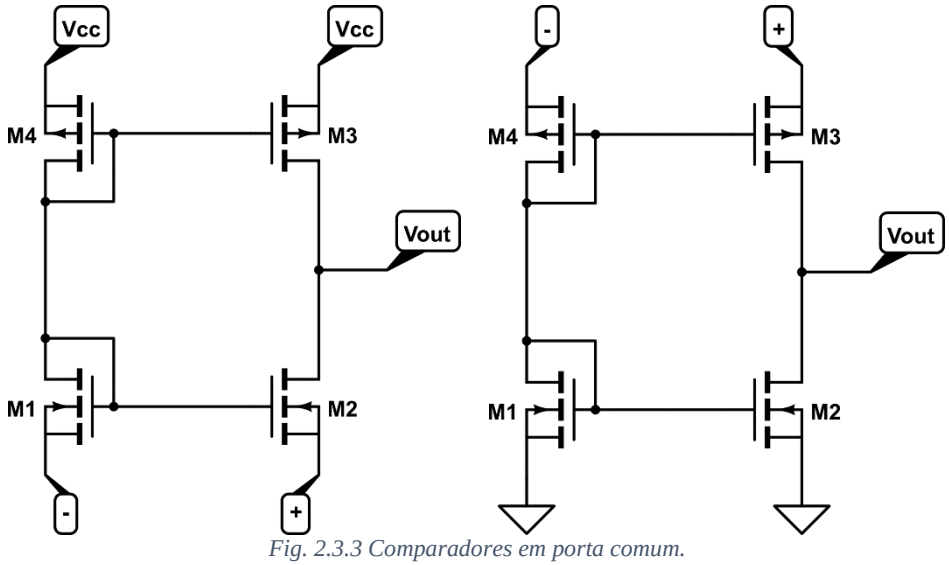


Fig. 2.3.3 Comparadores em porta comum.

Os dois comparadores mostrados na Fig. 2.3.3 são formados pelos MOSFETs M1, M2, M3 e M4, onde os pares M1-M2 e M3-M4 formam espelhos de corrente simples com as mesmas razões de ganho. No primeiro circuito da Fig. 2.3.3, a corrente que circula pelos transistores M1 e M4 é obrigatoriamente a mesma, assim como a corrente que circula por M2 e M3. Além disso, a própria topologia do circuito obriga que os transistores M3 e M4 apresentem $V_{GS3} = V_{GS4}$.

Para entender como funcionam os comparadores em porta comum da Fig. 2.3.3, vamos considerar que ambos os espelhos de corrente apresentam razões de ganho unitárias, ou seja, temos M1 = M2 e M3 = M3. Dessa forma, se a tensão aplicada ao terminal de fonte de M2 for maior que a tensão na fonte de M1, resultará em $V_{GS2} < V_{GS1}$. Caso todos os transistores do comparador da Fig. 2.3.3 se mantivessem em saturação, as tensões $V_{GS2} < V_{GS1}$ e $V_{GS3} = V_{GS4}$ resultariam em $I_{D1} > I_{D2}$ e $I_{D3} = I_{D4}$, o que acarretaria na conclusão absurda de que $I_{D3} > I_{D2}$. Portanto, a única solução para o caso em que $V_{GS2} < V_{GS1}$ é que o transistor M2 esteja operando no modo de saturação, com $I_{D2} < I_{D1}$, e que M3 esteja operando em triodo, com $I_{D4} = I_{D2}$ e $I_{D4} < I_{D3}$. Com M3 em triodo, teremos V_{DS4} « V_{DS2}, o que, dependendo da diferença entre V_{GS1} e V_{GS2}, poderá produzir na saída V_{out} uma tensão bem próxima de V_{DD}. Ou seja, quando a tensão aplicada ao terminal de fonte de M2 for maior que a aplicada na fonte de M1, a tensão na saída do comparador assumirá um nível alto. Analogamente, se a tensão aplicada à fonte de M1 for maior que a aplicada em M2, termos que M4 entrará no modo de saturação e M2 em triodo, fazendo com que a tensão na saída V_{out} assuma um nível baixo.

O primeiro comparador da Fig. 2.3.3 é o mais indicado para o uso com valores de entrada de tensão perto do potencial do terra, pois as entradas do mesmo estão na referência mais baixa do comparador. Já o segundo comparador é o mais indicado para o

uso com valores maiores, pois as entradas estão na referência mais alta. Na Fig. 2.3.1 e na Fig. 2.3.2, onde temos os circuitos estudados com os seus respectivos comparadores, podemos ver dois tipos de comparadores: o Comparador 1 (COMP1) e o Comparador 2 (COMP2). Analisando o circuito, podemos ver que o primeiro comparador da Fig. 2.3.3 é o Comparador 1, pois os valores de entrada de tensão variam perto do potencial do terra. Já o segundo comparador é o Comparador 2, com as entradas variando na referência mais alta.

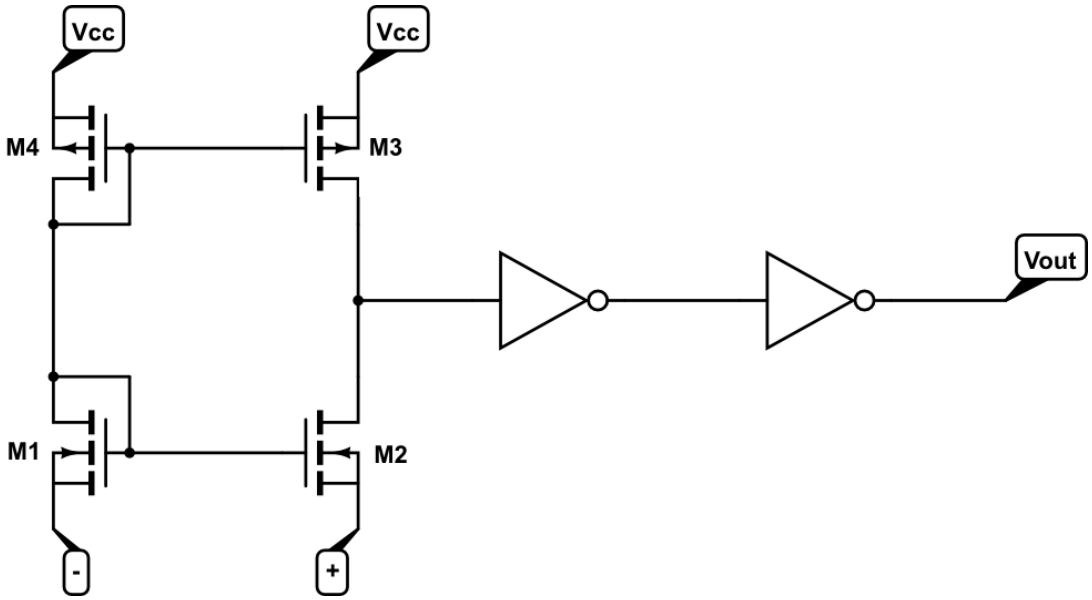


Fig. 2.3.4 Circuito completo do Comparador 1.

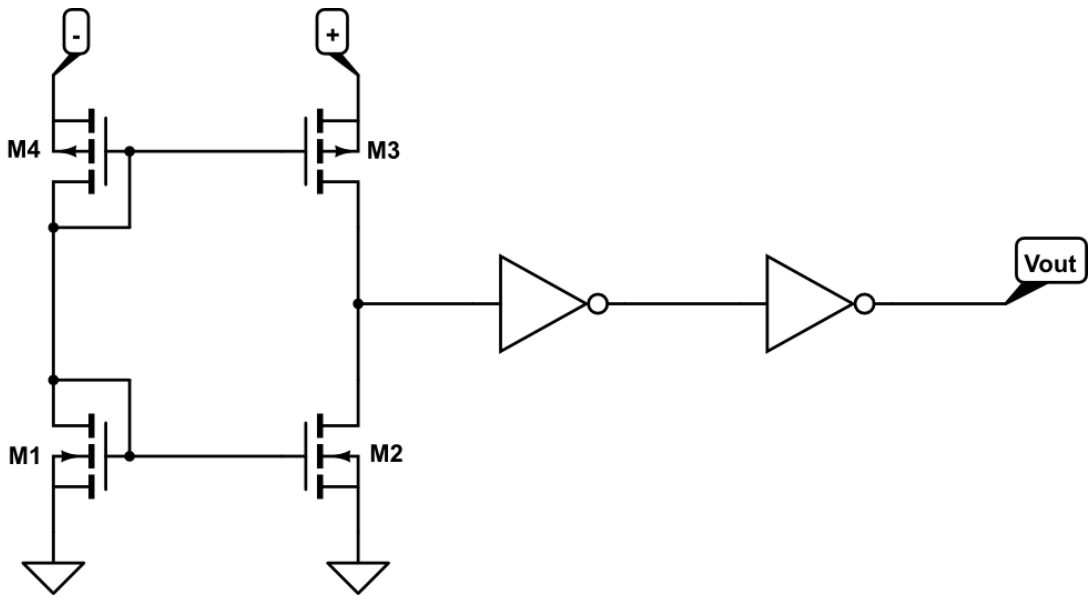


Fig. 2.3.5 Circuito completo do Comparador 2.

Para melhorar a eficiência e a velocidade dos comparadores, iremos adicionar dois inversores na saída dos mesmos, como podemos ver na Fig. 2.3.4 e na Fig. 2.3.5, o Comparador 1 e o Comparador 2, respectivamente. Esse artifício não irá mudar a saída lógica do comparador, mas os inversores servirão como *drivers* para acionar a enorme capacitância parasita dos transistores das chaves no tempo adequado. Portanto, teremos uma corrente grande saindo do comparador sem que a corrente no estágio porta comum seja grande também. Na Fig. 2.3.6 temos o circuito do inversor em si CMOS adotado na construção dos Comparadores 1 e 2.

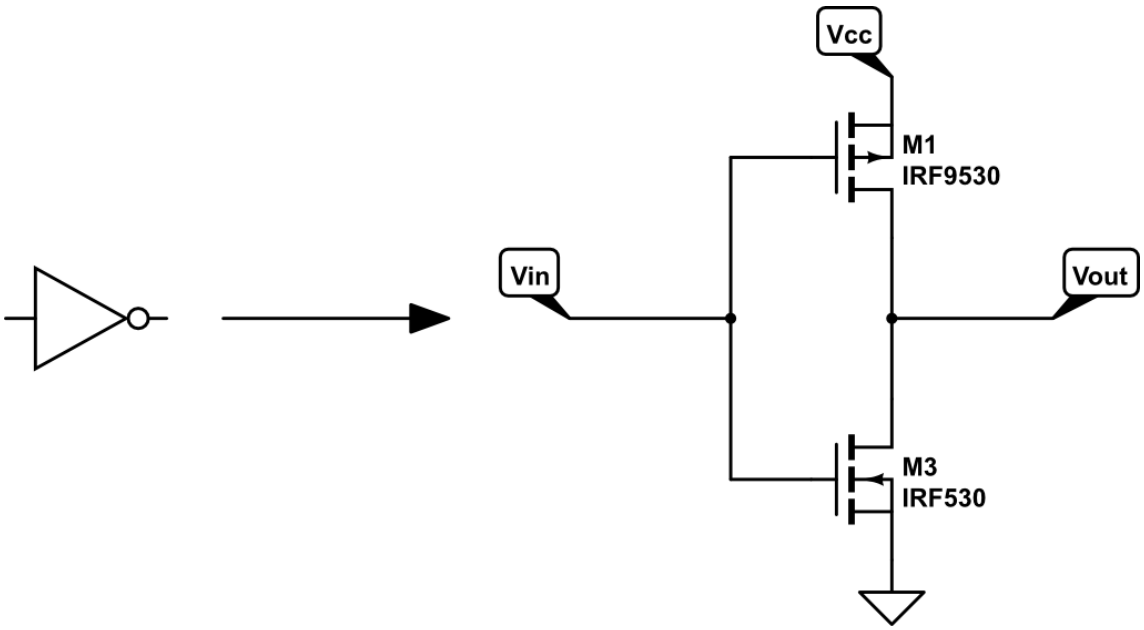


Fig. 2.3.6 Inversor adotado como driver nos comparadores das Figuras 2.2.4 e 2.2.5.

Nos dois circuitos coletores de energia estudados neste projeto, haverá um intervalo transitório de partida onde os comparadores não irão funcionar, pois a capacitância na saída inicia descarregada. Os diodos parasitas dos transistores das chaves que são os responsáveis por dar na partida dos circuitos para, depois que o capacitor na saída estivar com uma certa carga acumulada, os comparadores entrarem em ação para aumentar a eficiência do circuito. Na Fig. 2.3.7, temos o transistor MOS de canal N com o diodo parasita entre o substrato e a fonte. Já na Fig. 2.3.8, temos o transistor MOS de

canal P com o diodo parasita entre a fonte e o substrato. Podemos entender agora a importância, nos dois circuitos coletores de energia, da chave tipo N está conectada ao terra e a chave tipo P à saída, para que os diodos parasitas funcionem como partida dos circuitos.

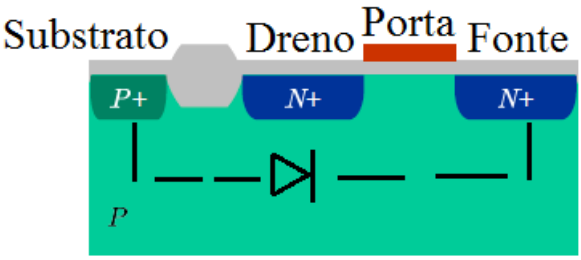


Fig. 2.3.7 Transistor MOS de canal N com diodo parasita.

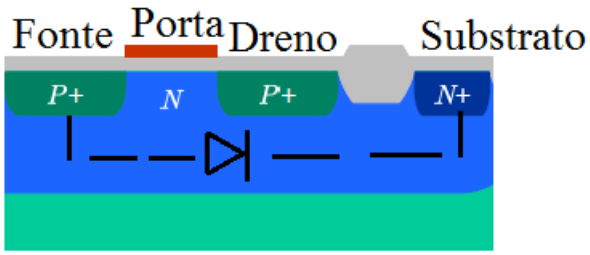


Fig. 2.3.8 Transistor MOS de canal P com diodo parasita.

Capítulo 3

Projeto

Neste projeto, desejamos que tanto o circuito retificador, como também o dobrador de tensão, produzam na saída uma tensão de pico V_P = 3,0 V, pois essa é uma tensão adequada para a alimentação de circuitos integrados fabricados com o processo CMOS de 0,35 µm adotado aqui. Além disso, a carga alimentada pelo circuito coletor de energia deve consumir uma potência de aproximadamente 900 µW (– 0,5 dBm). Dessa forma, para uma tensão de alimentação de 3,0 V, a carga considerada neste projeto será um resistor linear com resistência de 10 kΩ.

A tensão entregue para a carga em ambos os circuitos coletores de energia apresentará, inevitavelmente, um *ripple*, conforme já mencionado no Capítulo 2. Para este projeto, dimensionaremos ambos os circuitos coletores para exibir um *ripple* de 10% em relação à tensão nominal de 3,0 V na saída.

Além disso, deve ser novamente mencionado que o circuito deste projeto será dimensionado para operar na frequência de 1,2 MHz, a qual pertence à faixa de rádio AM comercial no Brasil.

No que diz respeito às chaves dos circuitos coletores de energia, sabemos que a corrente do dreno nos transistores MOS atuando no modo de triodo pode ser descrita com a equação:

$$i_D = k\frac{W}{L}\left[(V_{GS} - V_t)V_{DS} - \frac{1}{2}{V_{DS}}^2\right], \qquad (0)$$

onde k é o parâmetro de transcondutância, W e L são, respectivamente, a largura e comprimento de canal, V_{GS} a diferença de tensão entre a porta e a fonte, V_t a tensão de limiar e V_{DS} a tensão entre o dreno e a fonte do transistor.

Para a tecnologia CMOS 0.35 μm, temos os seguintes parâmetros médios:

$$k_n = 170\ u\frac{A}{V^2}, \qquad k_p = 58\frac{A}{V^2}, \qquad V_{tn} = 0.5\ V, \qquad V_{tp} = -0.65\ V, \qquad (02)$$

onde k_n e k_p são os parâmetros de transcondutância e V_{tn} e V_{tp} as tensões de limiar do MOSFET de canal N e P, respectivamente.

O dimensionamento da tensão do dreno para a fonte V_{ds} dos transistores é muito importante. Para reduzir as perdas no circuito coletor de energia e, consequentemente, elevar a sua eficiência, as chaves devem apresentar uma baixa tensão V_{DS} quando fechadas. Entretanto, para que o MOSFET apresente uma baixíssima tensão V_{DS} quando em triodo, será necessário construir o dispositivo com uma largura W extremamente grande, o que ocuparia uma área enorme no chip. Podemos perceber que há um *trade-off* no dimensionamento de V_{ds}. A escolha de:

$$V_{ds} = 50\ mV \qquad (3.3)$$

foi adequada no sentido de ser uma boa solução para esse *trade-off*.

3.1 Retificador de Tensão

A partir das equações desenvolvidas para o retificador de onda completa apresentadas no Capítulo 2, podemos começar o dimensionamento do retificador proposto. Utilizando (2.1.16), temos o capacitor:

$$C = \frac{V_p}{2V_r Rf} = 466{,}7\ pF \cong 500\ pF. \qquad (3.1.1)$$

Para calcular a corrente máxima que passa pelo transistor, precisamos da corrente na carga resistiva, dimensionada através de (2.1.3):

$$I_L = \frac{V_p}{R} = 300\ uA. \tag{3.1.2}$$

Temos, a partir de (2.1.16), portanto:

$$i_{Mmax} = I_L\left(1 + 2\pi\sqrt{\frac{V_p}{2V_r}}\right) = 4{,}52\ mA. \tag{3.1.3}$$

Podemos igualar a corrente máxima do transistor no retificador dimensionada acima com a equação da corrente do transistor atuando no modo de triodo:

$$i_{Mmax} = I_L\left(1 + 2\pi\sqrt{\frac{V_p}{2V_r}}\right) = k\frac{W}{L}\left[(V_{GS} - V_t)V_{DS} - \frac{1}{2}{V_{DS}}^2\right]. \tag{3.1.4}$$

Desenvolvendo (3.1.4) , podemos dimensionar as larguras dos transistores de canal P e N para o retificador:

$$W_P = \frac{i_{Dmax}L}{k_p\left[(V_{GS} - V_{tp})V_{DS} - \frac{1}{2}{V_{DS}}^2\right]} = 234{,}6\ um = 235\ um \tag{3.1.5}$$

$$W_N = \frac{i_{Dmax}L}{k_N\left[(V_{GS} - V_{tn})V_{DS} - \frac{1}{2}{V_{DS}}^2\right]} = 75{,}2\ um = 75\ um \tag{3.1.6}$$

onde, em ambos dos transistores, foi adotado o comprimento de canal mínimo L = 0,35 µm, com o objetivo de minimizar as larguras de canal dos transistores e, consequentemente, a área ocupada pelo circuito dentro do chip.

Como já mostrado anteriormente na Fig. 2.3.1, por fim, vamos adicionar dois comparadores do tipo Comparador 2, visto na Fig. 2.3.5 para melhorar a eficiência dos transistores de canal P. Assim, na Fig. 3.1.1, temos o circuito retificador completo estudado nesse projeto com a carga resistiva. Na Fig. 3.1.2, temos as formas de onda das

tensões na entrada e na saída do circuito com comparadores ideais. Podemos ver que a tensão máxima da saída no retificador com comparadores ideais é por volta de 3,0 V para um sinal de entrada senoidal com amplitude de 3 V, mostrando que o dimensionamento dos transistores está correto.

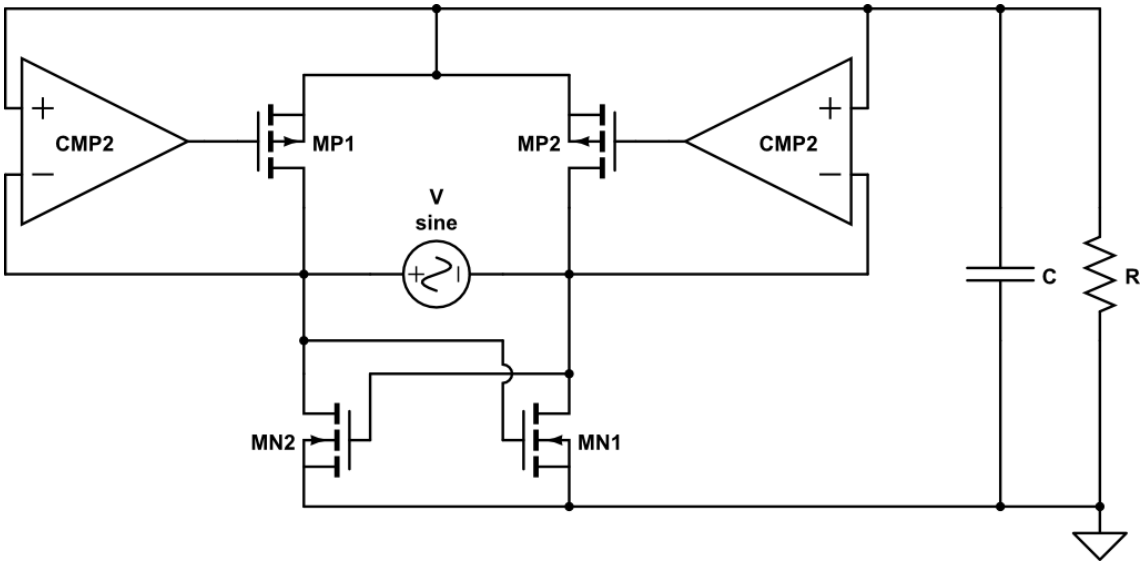


Fig. 3.1.1 Circuito do retificador de tensão completo incluindo os comparadores e carga resistiva.

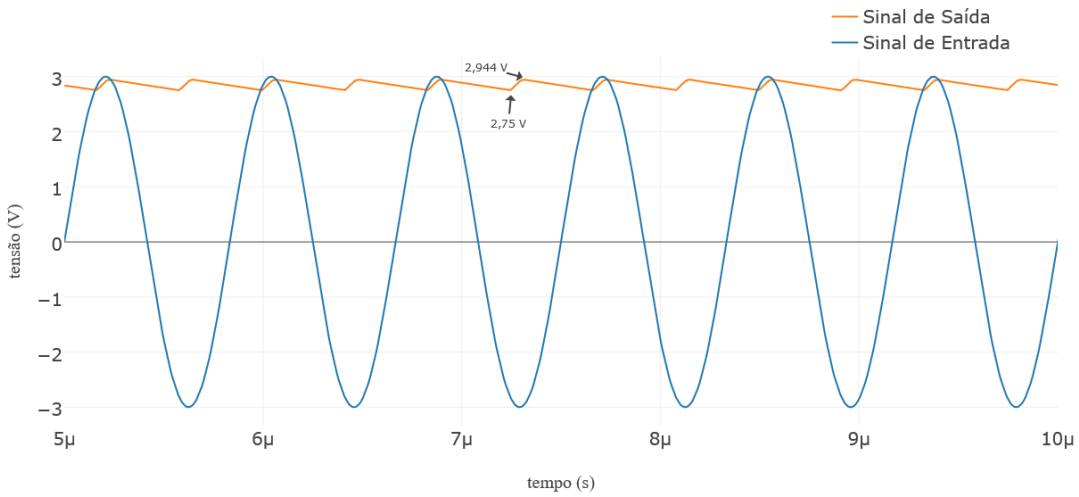


Fig. 3.1.2 Formas da onda da tensão na entrada e na saída do retificador de tensão com comparadores ideais.

Como o circuito do comparador não é linear e em virtude do fato de que o simulador modela de forma mais precisa as capacitâncias parasitas do circuito através do modelo de simulação BSIM3, vamos dimensionar os comparadores a partir de simulações. Para tal, vamos colocar o transistor de canal P dimensionado para o

retificador, como visto na Fig. 3.1.3. Assim, o transistor exercerá o papel de carga, para que o comparador seja dimensionado de modo a ser capaz de acionar a capacitância parasita da chave em um tempo adequado.

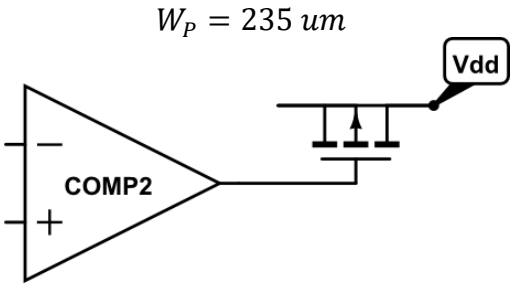


Fig. 3.1.3 Circuito usado para dimensionar o Comparador 2, usando o transistor de canal P como carga na saída.

Para começar, todas as simulações foram feitas utilizando as dimensões mínimas para os transistores de canal N e o triplo da largura mínima para os transistores de canal P em todos os transistores. O transistor de canal P precisa de uma largura três vezes maior que a do canal N para compensar a menor mobilidade dele. Essa diferença de dimensões faz com que os dois tipos de transistores apresentem tempos de resposta semelhantes. Os comprimentos de canal mínimos têm como objetivo minimizar as capacitâncias parasitas do circuito, contribuindo para melhorar a operação do circuito em altas frequências, sem a necessidade de se aumentar demais o consumo de potência.

O tamanho da largura dos transistores do último inversor foi aumentado, mantendo o comprimento de canal mínimo, até as simulações mostrarem uma operação do comparador suficientemente rápida para a aplicação, com a menor dissipação de potência possível. Na Fig. 3.1.4 podemos ver as larguras de todos os transistores do Comparador 2 para o retificador de tensão.

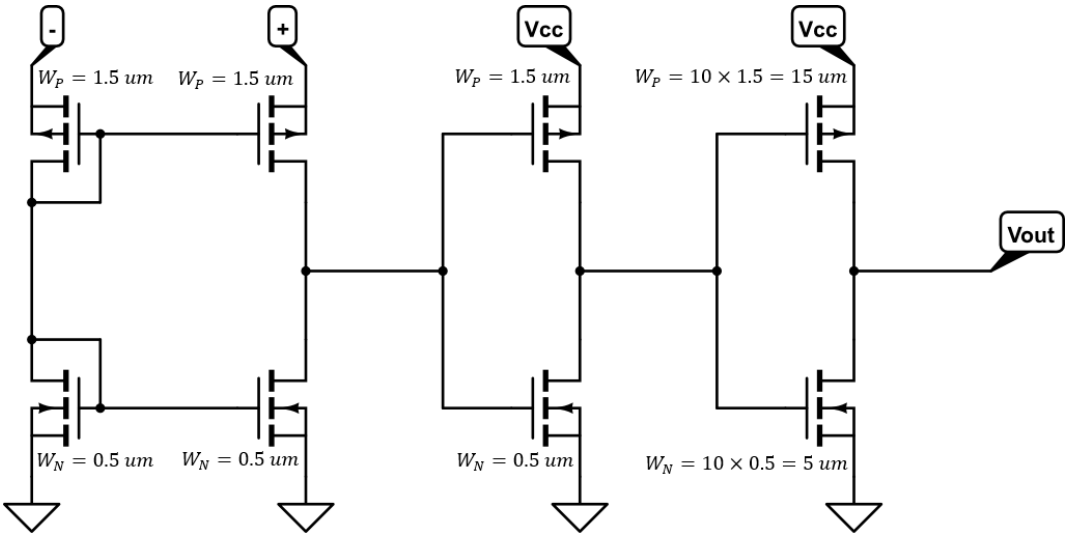


Fig. 3.1.4 Comparador 2 dimensionado para o circuito retificador de tensão.

Para simular o comparador e analisar se ele está funcionando corretamente, vamos conectar uma fonte de tensão contínua de 3,0 V na entrada positiva e no terminal V_{cc} para simular o funcionamento real do retificador da Fig. 3.1.1. Na Fig. 3.1.5, temos a simulação com a tensão na entrada inversora variando entre 2,9 V e 3,1 V. Podemos ver que, para valores menores que 3,0 V de entrada, o nível lógico da saída é alto. No momento que a entrada passa de 3,0 V, de uma forma bem abrupta, a saída lógica passa para o nível lógico baixo. Portanto, o funcionamento do comparador está correto.

Neste ponto, é importante chamar atenção para a necessidade de se usar dois inversores na saída do comparador, ao invés de apenas um único. Com o uso dos dois inversores, o terminal da entrada não inversora do comparador da Fig. 3.1.4 corresponderá ao terminal de fonte do transistor de canal P que está na saída do primeiro estágio. Como o terminal não inversor do comparador deverá estar conectado à tensão V_{DD} no circuito do retificador da Fig. 3.1.1, então, garantimos que a tensão na saída do primeiro estágio certamente será igual a V_{DD} quando estiver em nível alto e terra quando em nível baixo. Essa situação já não poderia ser garantida com o uso de apenas um único inversor, porque, nessa situação, seria necessário inverter os terminais de entrada do comparador.

Na Fig. 3.1.6 temos o módulo da resposta em frequência do Comparador 2, obtida para diferentes valores da tensão de alimentação V_{DD}. Podemos ver que o comparador funciona para tensões de alimentação a partir de 1,0 V na frequência de 1,2 MHz, considerada neste projeto. O objetivo desta simulação é verificar se os comparadores são capazes de entrar em funcionamento mesmo quando a amplitude do sinal de RF na entrada é menor que 3,0 V.

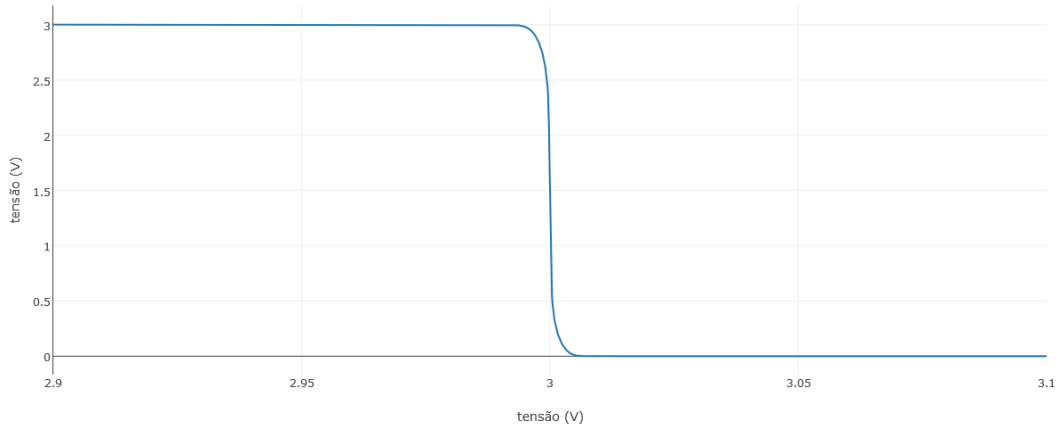


Fig. 3.1.5 Saída do Comparador 2 em função da tensão aplicada à entrada inversora.

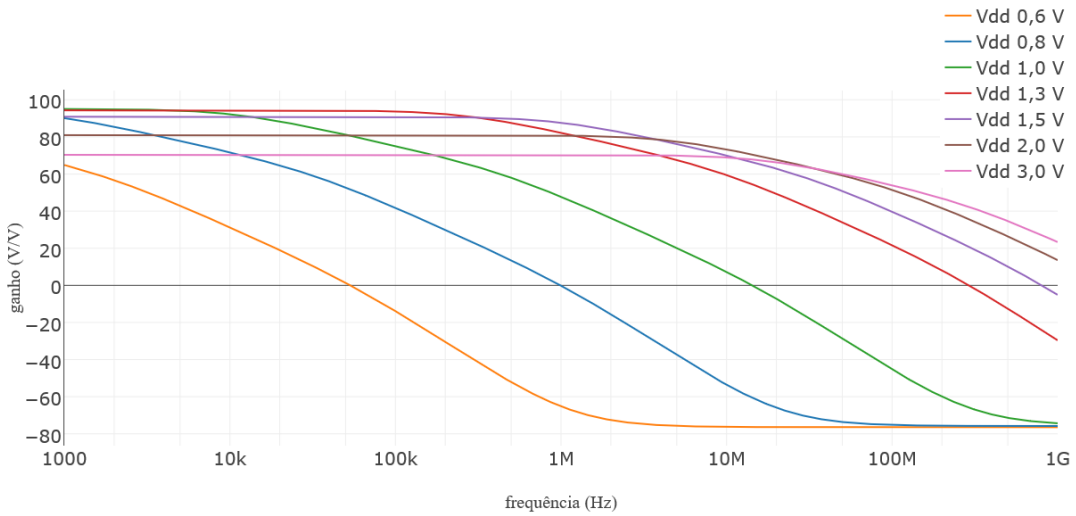


Fig. 3.1.6 Módulo da resposta em frequência do Comparador 2 para diversos valores para a tensão de alimentação V_{DD}.

3.2 Dobrador de Tensão

A partir das equações desenvolvidas para o dobrador de tensão no Capítulo 2, podemos começar o dimensionamento do dobrador proposto. Utilizando (2.2.16), podemos calcular o valor dos dois capacitores:

$$C = \frac{V_p}{V_r R f} = 833{,}3\ pF\ \cong 1\ nF, \tag{3.2.1}$$

E, a partir de (2.2.17), também obter o valor da corrente máxima no transistor M2:

$$i_{M2max} = I_L\left(1 + 2\pi\sqrt{\frac{2V_p}{V_r}}\right) = 8{,}73\ mA. \tag{3.2.2}$$

Como feito no projeto do retificador, podemos igualar a corrente máxima na chave, dimensionada acima, com a equação da corrente do transistor atuando no modo de triodo e desenvolver a fórmula para calcular a largura do transistor M2:

$$W_P = \frac{i_{Dmax} L}{k_p\left[(V_{GS} - V_{tp})V_{DS} - \frac{1}{2}{V_{DS}}^2\right]} = 453{,}2\ \mu m = 453\ \mu m. \tag{3.2.3}$$

onde foi considerado o limite mínimo para o comprimento de canal, ou seja, L = 0,35 µm.

Podemos calcular a corrente máxima no transistor M1 a partir de (2.2.22):

$$i_{M1max} = C_1 V_A 2\pi f = 11{,}3\ mA, \tag{3.2.4}$$

onde foi considerado que a amplitude V_A do sinal de entrada é igual a 1,62 V para produzir uma tensão de pico na saída de aproximadamente 3,0 V.

Assim, podemos usar a corrente máxima obtida em (3.2.5) para calcular a largura do transistor M1:

$$W_N = \frac{i_{Dmax} L}{k_N\left[(V_{GS} - V_{tn})V_{DS} - \frac{1}{2}{V_{DS}}^2\right]} = 188{,}2\ um = 190\ um. \tag{3.2.5}$$

A partir de (2.2.14), para uma tensão média $v_o = 3{,}0\ V$:

$$V_A = 1{,}62\ V \tag{3.2.6}$$

Assim como no retificador, vamos adicionar comparadores ao circuito dobrador para melhorar a eficiência. Nesse caso, vamos adicionar um Comparador 1 para acionar o transistor de canal N e um Comparador 2 para o transistor de canal P. Podemos ver na Fig. 3.2.1 o dobrador completo estudado nesse projeto. Na Fig. 3.2.2 temos as formas de onda das tensões na entrada e na saída, obtidas com comparadores ideais. Podemos ver também que a tensão máxima da saída no dobrador com comparadores ideais atingiu aproximadamente o nível de 3,0 V para um sinal de entrada senoidal com amplitude de 1,62 V, mostrando que o dimensionamento dos transistores está correto.

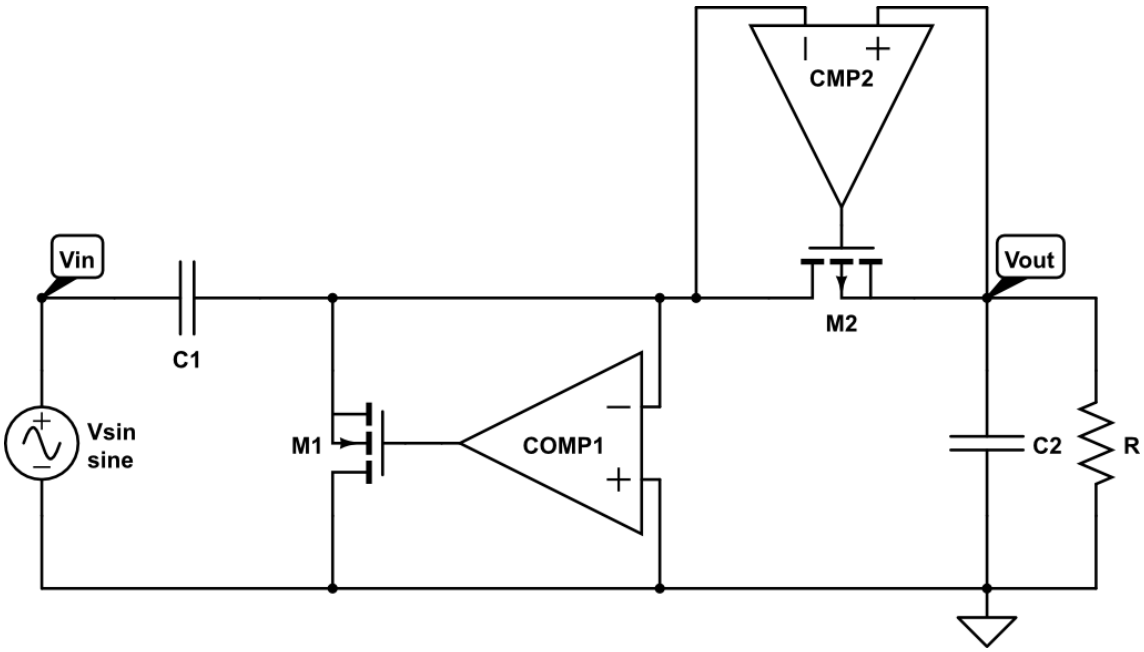


Fig. 3.2.1 Circuito do dobrador de tensão completo incluindo os comparadores e carga resistiva.

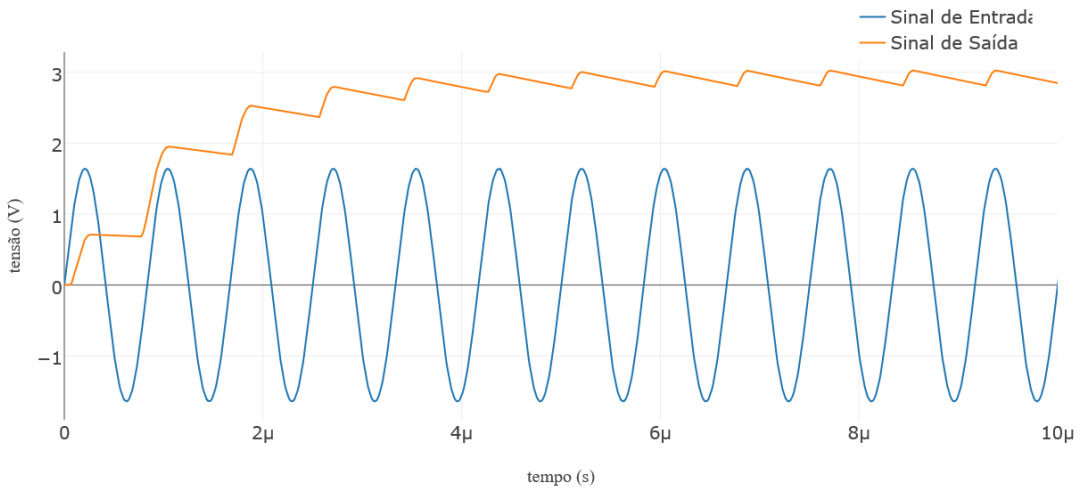


Fig. 3.2.2 Formas de onda da tensão na entrada e na saída do dobrador de tensão com comparadores ideais.

Da mesma forma que foi feito anteriormente, para dimensionar os comparadores do circuito dobrador de tensão, vamos simular os comparadores adicionando-se o transistor dimensionado para a chave como carga do seu respectivo comparador, como mostrado na Fig. 3.2.3, e dimensionar os transistores de ambos os comparadores a partir dessas simulações. Podemos ver, Fig. 3.2.4, as larguras de todos transistores do Comparador 1. Já na Fig. 3.2.5 temos as dimensões do Comparador 2.

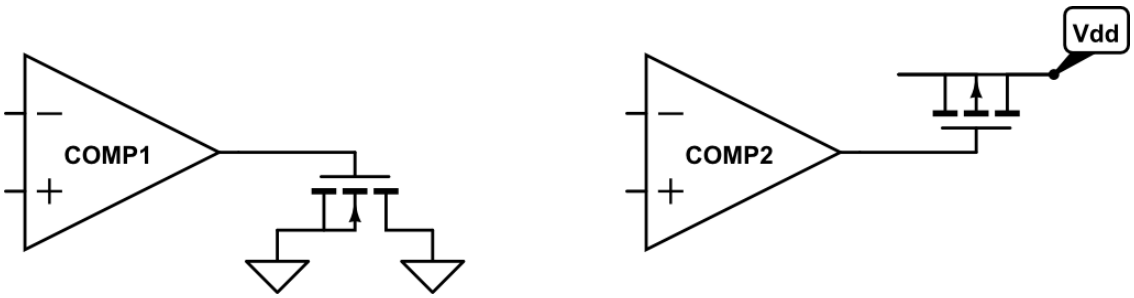


Fig. 3.2.3 Circuitos usados para dimensionar os Comparadores 1 e 2 por simulação.

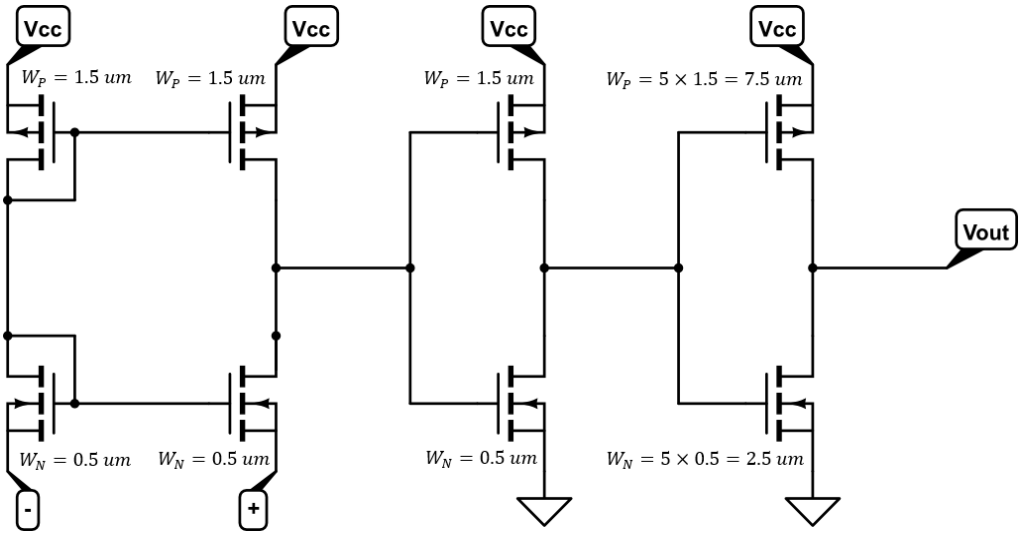


Fig. 3.2.4 Comparador 1, dimensionado para o dobrador de tensão.

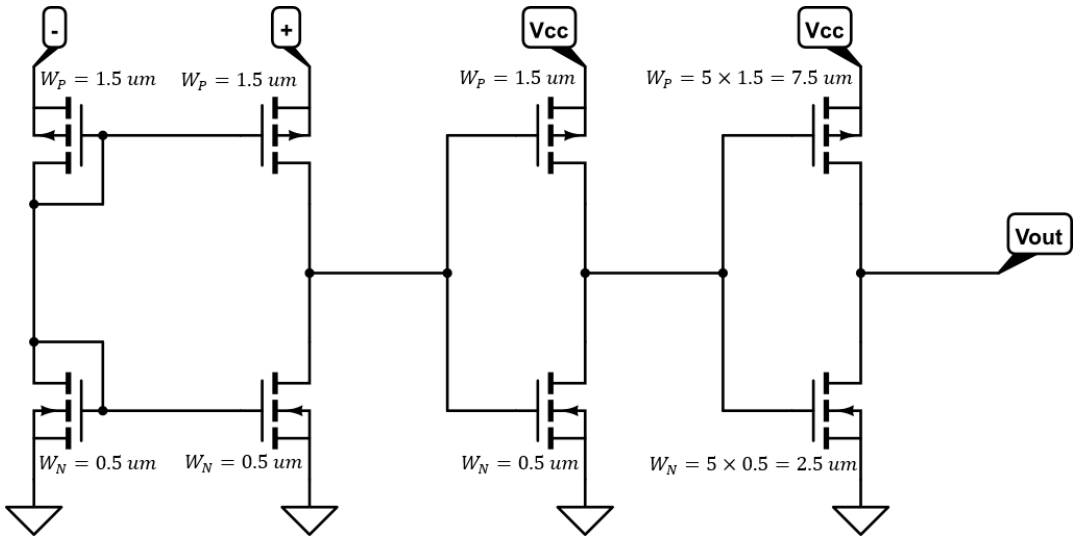


Fig. 3.2.5 Comparador 2, dimensionado para o dobrador de tensão.

Assim como foi feito com o retificador, precisamos simular os comparadores e analisar se eles estão funcionando corretamente. Para o Comparador 1, vamos conectar uma fonte de tensão contínua de 3,0 V como V_{DD} e conectar a entrada não inversora ao terra, para simular o seu funcionamento real no circuito dobrador. Na Fig. 3.2.6, temos a simulação com a tensão na entrada inversora variando entre -0,1 V e 0,1 V. Podemos ver que o sinal lógico da saída assume o nível alto para valores menores que 0 V de entrada. No momento que a entrada passa de 0 V, a saída lógica passa para nível baixo de forma bem abrupta, mostrando que o funcionamento está correto.

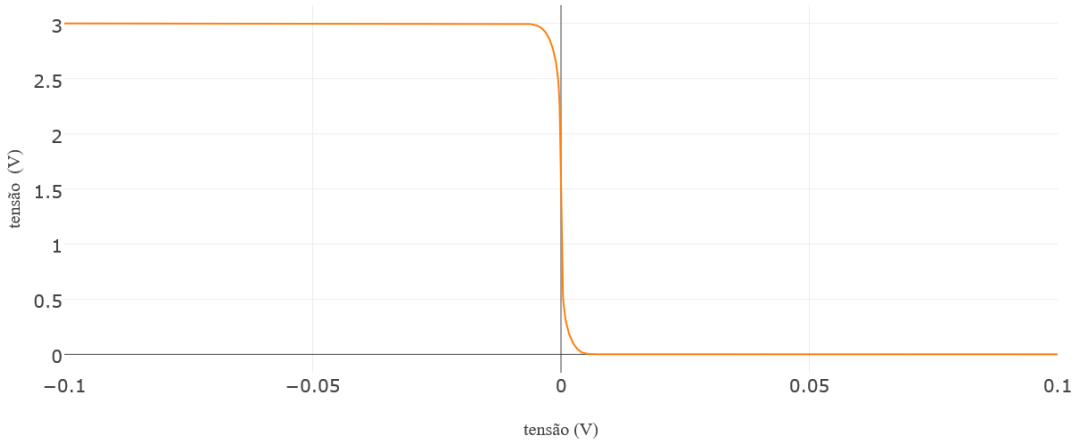


Fig. 3.2.6 Saída do Comparador 1 em função da tensão na entrada.

Na Fig. 3.2.7, temos o módulo da resposta em frequência do Comparador 1, obtida para diferentes valores da tensão de alimentação V_{DD}. Podemos ver que o comparador funciona para tensões de alimentação a partir de 1,0 V na frequência de 1,2 MHz.

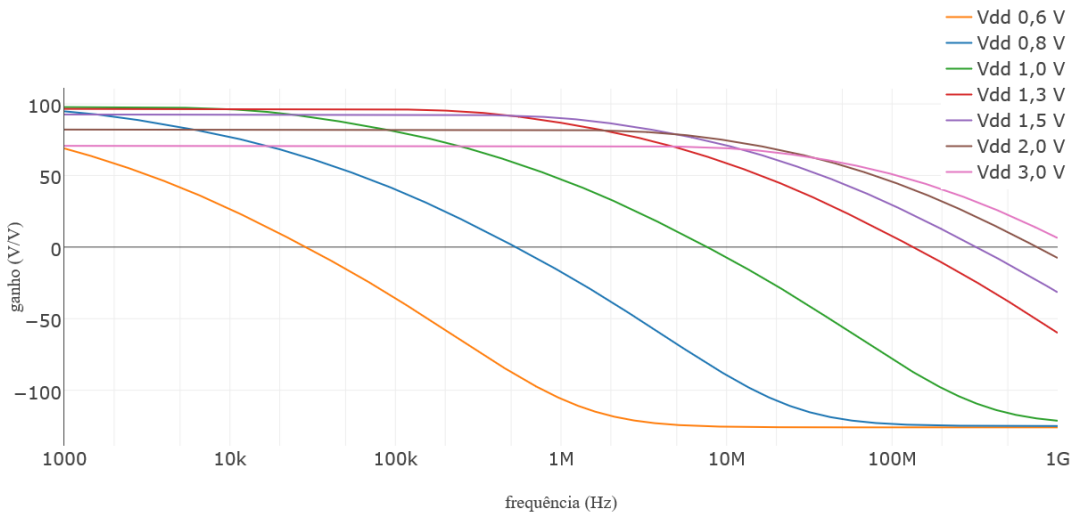


Fig. 3.2.7 Módulo da resposta em frequência do Comparador 1 para diversos valores para a tensão de alimentação VDD.

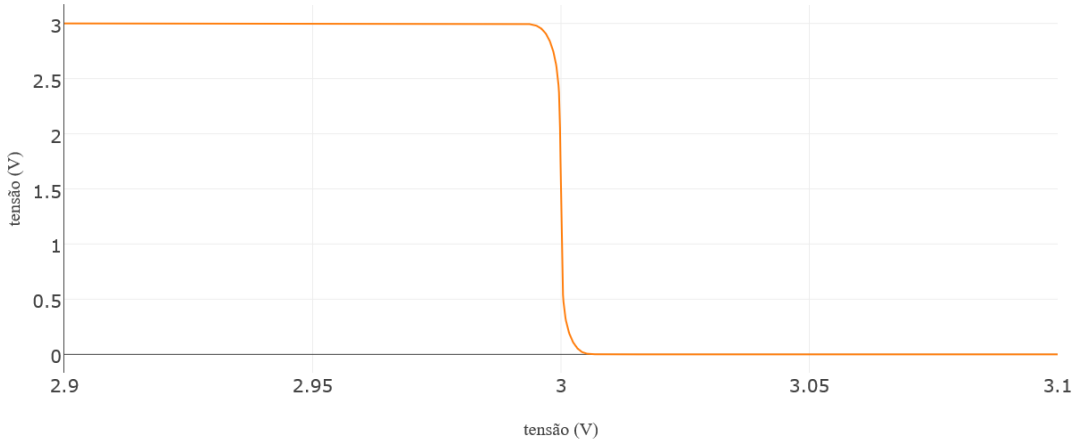


Fig. 3.2.8 Saída do Comparador 2 em função da tensão na entrada.

Para o Comparador 2, vamos utilizar o mesmo artifício adotado no projeto do circuito retificador e conectar uma fonte de tensão contínua de 3,0 V na entrada não inversora e no V_{DD}. Assim como no projeto do retificador, na Fig. 3.2.8 temos a simulação com a entrada inversora variando entre 2,9 V e 3,1 V, e na Fig. 3.2.9 o módulo da resposta em frequência do Comparador 1, obtida para diferentes valores da tensão de alimentação V_{DD}. Podemos ver que o comparador funciona para tensões de alimentação a partir de 1 V na frequência 1,2 MHz.

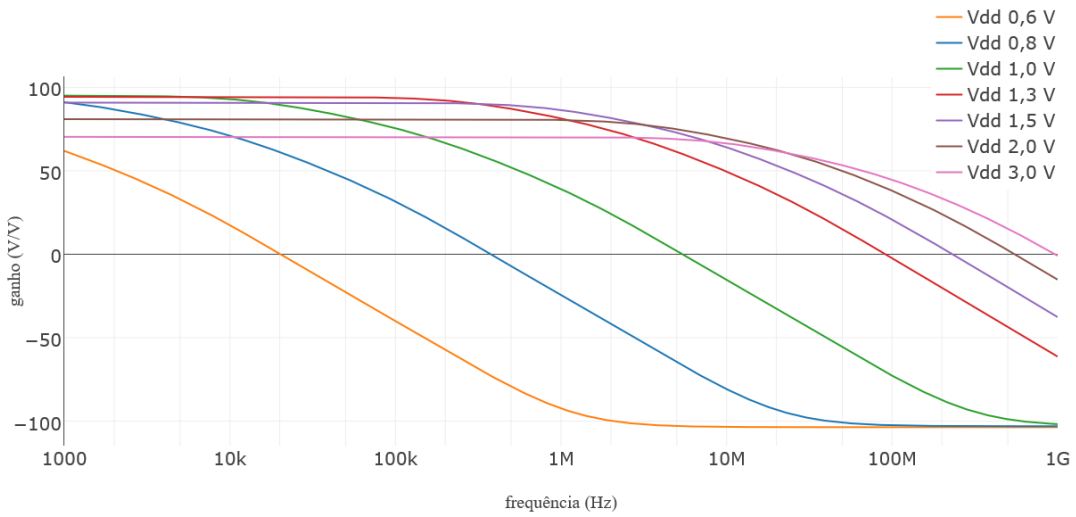


Fig. 3.2.9 Módulo da resposta em frequência do Comparador 2 para diversos valores para a tensão de alimentação VDD.

Capítulo 4

Projeto de Layout

O próximo passo para o estudo é projetar os *layouts* do retificador e do dobrador de tensão para serem fabricados em um processo CMOS de 0,35 μm. Os valores dos capacitores, calculados no Capítulo 3, são grandes demais para serem fabricados no processo dito, portanto eles não serão projetados para estar dentro do circuito integrado.

4.1 MOSFET

Um *layout* dos transistores MOSFET cuidadosamente elaborado é de grande importância para os dois circuitos, pois os dois são formados somente por eles. Um MOSFET, tanto de canal N como de canal P, é formado posicionando-se uma placa de silício policristalino, que será a porta do transistor, sobre uma região de difusão. A largura W de um MOSFET é a largura da região de difusão, e o comprimento de canal L corresponde à largura da placa de silício policristalino. O comprimento da placa de silício policristalino é estendido além da largura W do transistor para prevenir erros de alinhamento, que podem criar curtos-circuitos entre o dreno e a fonte. Podemos ver essas características na Fig. 4.1.1.

Na Fig. 4.1.2 podemos ver o *layout* dos dois tipos de transistores MOS, o de canal N e o de canal P. A diferença entre os dois está no tipo da dopagem das regiões de dreno e fonte, indicada pela máscara, sendo N+ para transistores de canal N e P+ para os de canal P. Além disso, os transistores de canal P são fabricados dentro de um poço N.

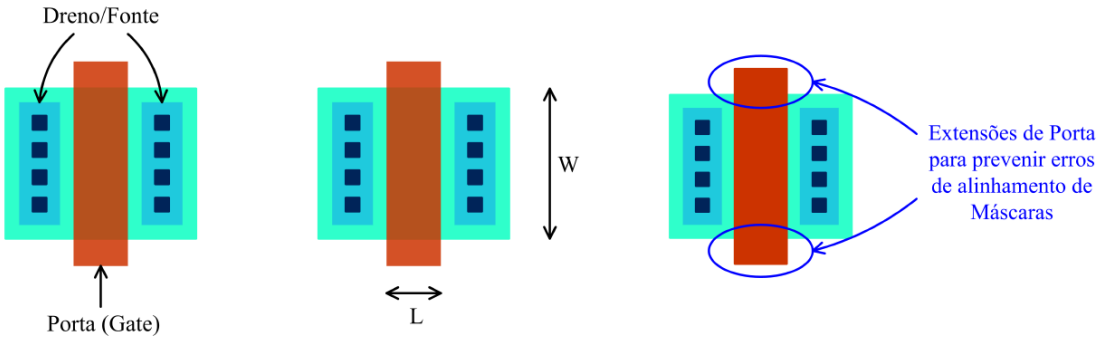


Fig. 4.1.1 Layout de um transistor MOS.

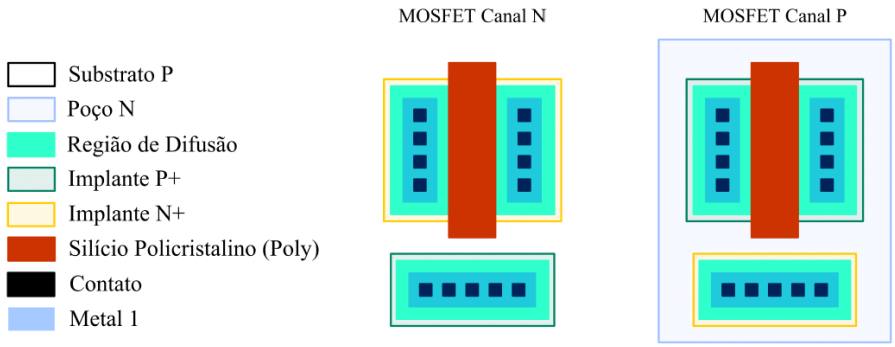


Fig. 4.1.2 Transistores de canal N e de canal P.

No projeto dos transistores, os valores calculados para a largura W foram bem maiores que o comprimento mínimo que será utilizado para L. O *layout* mais intuitivo para essa característica está na Fig. 4.1.3. Porém, há uma série de desvantagens nesse *layout*: a placa de porta muito comprida eleva muito a resistência desse terminal do transistor, diminuindo a eficiência da chave; a área ocupada pela junção PN formada entre as regiões de dreno e fonte com o substrato eleva bastante a capacitância parasita, o que também diminui a eficiência da chave; além do aproveitamento ineficiente da área de silício, o que aumenta o custo da fabricação do circuito.

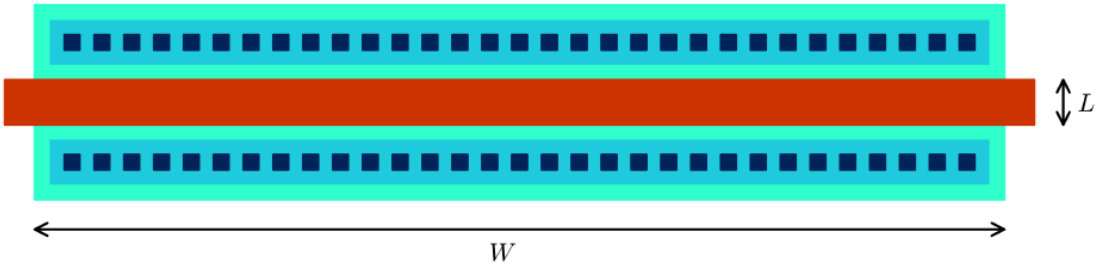


Fig. 4.1.3 Transistor com largura W grande com layout ineficiente com respeito à área.

Na Fig. 4.1.4, podemos ver um *layout* bem mais eficiente com respeito à área para transistores com largura W grande. Separando a placa de porta em diversas placas de porta em paralelo, diminuímos a resistência desse material, pois associamos diversas resistências em paralelo. Assim, melhoramos o desempenho do transistor para altas frequências. Combinando regiões de difusão que exercem a mesma função (dreno ou fonte), reduzimos também a área total da junção PN, diminuindo a capacitância parasita. Com esses dois ajustes, diminuímos ainda a área ocupada pelo dispositivo, reduzindo o custo da fabricação.

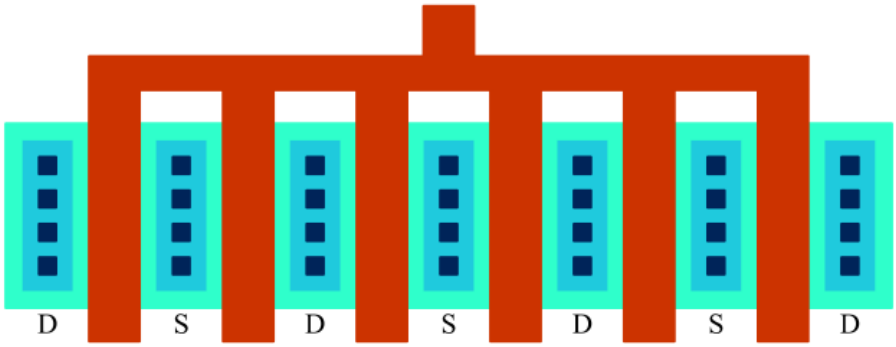


Fig. 4.1.4 Transistor com largura W grande e layout eficiente com respeito à área.

Outro cuidado que um projetista precisa prestar muita atenção é a ocorrência de *Latch-up* no circuito. Para evitar esse efeito, devem ser utilizados anéis de guarda para reduzir as resistências entre o substrato/poço e as tensões de alimentação do circuito, evitando que as estruturas NPNP presentes em circuitos integrados CMOS sejam disparadas de forma indesejada. Polarizando o substrato e o poço adequadamente, evitamos a ocorrência de *Latch-up*, além de formar um bom isolamento contra ruídos provenientes das outras partes do circuito integrado.

Para os transistores MOS de canal N, os anéis de guarda são construídos para polarizarem o substrato do transistor, que é do tipo P, com a tensão de terra através da menor resistência possível. Para isso, enchemos o substrato de contatos para terra envolta

dos transistores. Esses vários contatos em paralelo resultarão em uma resistência bem baixa. Entretanto, para fazer um contato metal-semicondutor P, devemos dopar a região do contato mais fortemente (P+) para melhorar o contato metal-semicondutor e também garantir a formação de um contato ôhmico e não uma junção Schottky (que funciona como um diodo).

Analogamente, em torno dos transistores MOS de canal P, devemos polarizar o poço N com a tensão mais alta do circuito. Para isso, enchemos o poço N com contatos metal-semicondutor N. Para que esse contato seja ôhmico e de baixa resistência, dopamos o ponto de contato mais fortemente (N+), aumentando a dopagem do poço nos pontos de contato, da mesma forma que fizemos com o substrato P no caso dos transistores de canal N. No caso dos circuitos estudados nesse projeto, a tensão mais alta do circuito não é constante, mas possui uma parcela de *ripple*. Nesses casos, é importante colocar um anel de guarda em volta do poço polarizando o substrato na tensão de terra, como nos transistores de canal N. Assim, garante-se que o diodo formado pela junção poço-substrato não seja disparado.

4.2 Retificador de Tensão

Na Fig. 4.2.1 temos o *layout* dos dois Comparadores 2 que atuam na ativação dos transistores de canal P do circuito retificador. Como vimos no Capítulo 3, os três primeiros transistores de canal N têm a largura W mínima e os três primeiros transistores de canal P têm o triplo dessa largura. Podemos ver no *layout* da Fig. 4.2.1 esses transistores conectados de forma igual ao circuito esquemático mostrado na Fig. 3.1.4 Comparador 2 dimensionado para o circuito retificador de tensão Já os últimos transistores de canal N e de canal P possuem larguras dez vezes maiores. Portanto, vamos utilizar do artifício mostrado na Fig. 4.1.4 e dividir o transistor de largura grande em 10

transistores de largura 10 vezes menor, como mostrado no layout. Na entrada inversora do comparador adicionamos um anel de guarda para polarizar o substrato na tensão de terra, como foi falado na Seção 4.1, pois a tensão de polarização do polo varia com o *ripple* da saída.

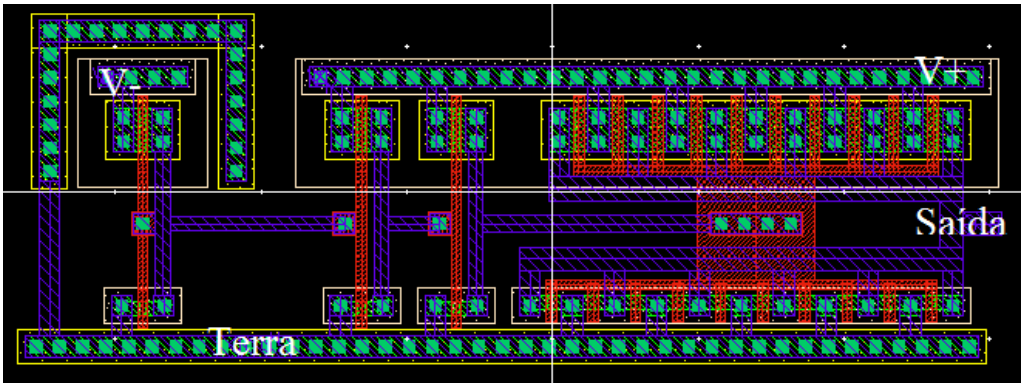


Fig. 4.2.1 Layout do Comparador 2 do retificador de tensão.

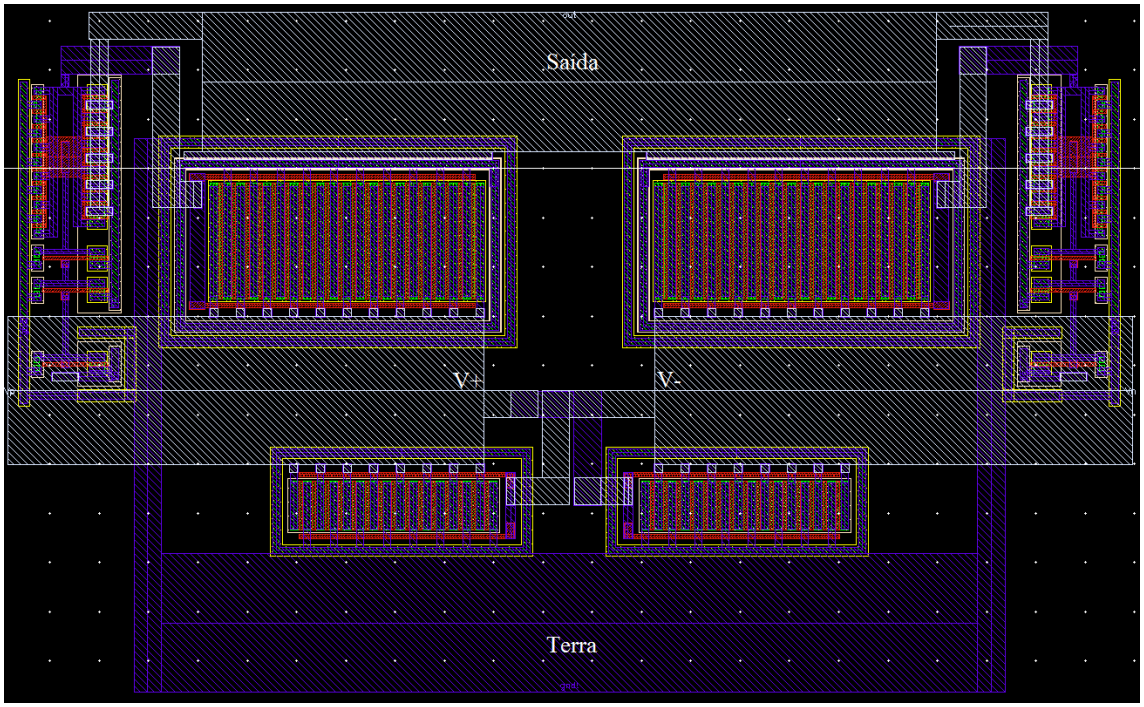


Fig. 4.2.2 Layout do retificador de tensão.

Na Fig. 4.2.2 temos o *layout* do retificador completo, com os dois transistores de canal P em cima, apresentando os respectivos anéis de guarda em volta, polarizando o poço de canal N e o substrato. Ao lado estão os comparadores, e os dois transistores de canal N embaixo, também com os respectivos anéis de guarda polarizando o substrato. A

disposição dos dispositivos foi feita para usar o espaço mínimo, diminuindo, assim, o custo de fabricação. A Fig. 4.2.3 mostra as formas de onda das correntes do retificador completo obtidas por simulação, para podermos dimensionar as trilhas da entrada, saída e terra. No processo de fabricação CMOS considerado neste projeto, temos que 1,0 µm de largura da trilha de metal suporta até 1,0 mA de corrente. Vemos na Fig. 4.2.3 que a corrente máxima dos dois transistores é por volta de 13 mA. Portanto, vamos escolher uma trilha de 15 µm de largura por segurança. Isso explica o grande tamanho das trilhas do *layout* do retificador.

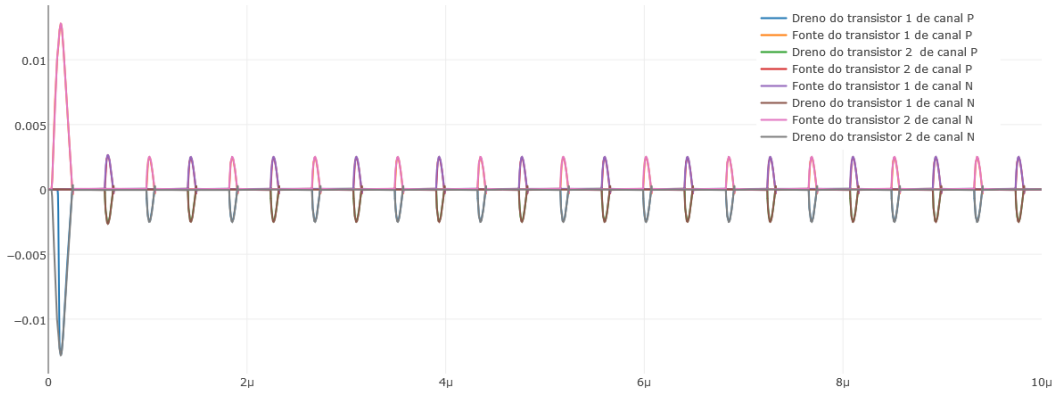


Fig. 4.2.3 Forma de ondas das correntes nos transistores do retificador de tensão.

4.3 Dobrador de Tensão

Temos na Fig. 4.3.1 o *layout* do Comparador 1 que atua na ativação do transistor de canal N e na Fig. 4.3.2 o *layout* do Comparador 2, responsável pelo transistor de canal P. Da mesma forma que o retificador analisado na Seção 4.2, os três primeiros transistores de canal N têm a largura W mínima e os três primeiros transistores de canal P têm o triplo dessa largura. Podemos ver no *layout* Fig. 4.3.1 que os transistores estão conectados de forma igual aos dos circuitos mostrados na Fig. 3.2.4 e na Fig. 3.2.5. Já os últimos transistores de canal N e de canal P dos dois comparadores possuem cinco vezes esses

valores. Usando o mesmo artifício usado no retificador, vamos dividi-lo em cinco transistores de largura cinco vezes menor. Novamente, adicionamos à entrada inversora do Comparador 2 um anel de guarda com implante P+.

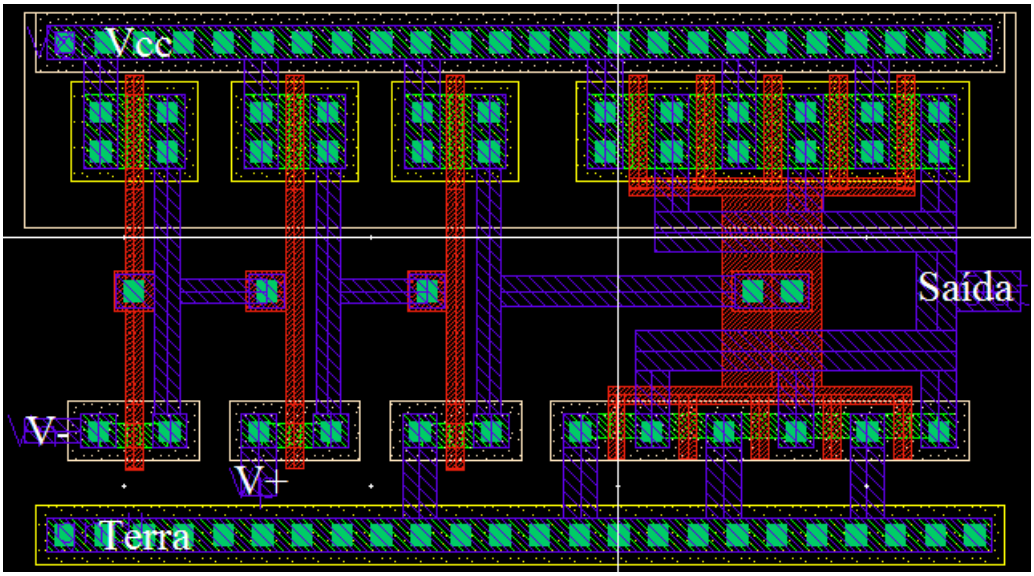


Fig. 4.3.1 Layout do Comparador 1 do dobrador de tensão.

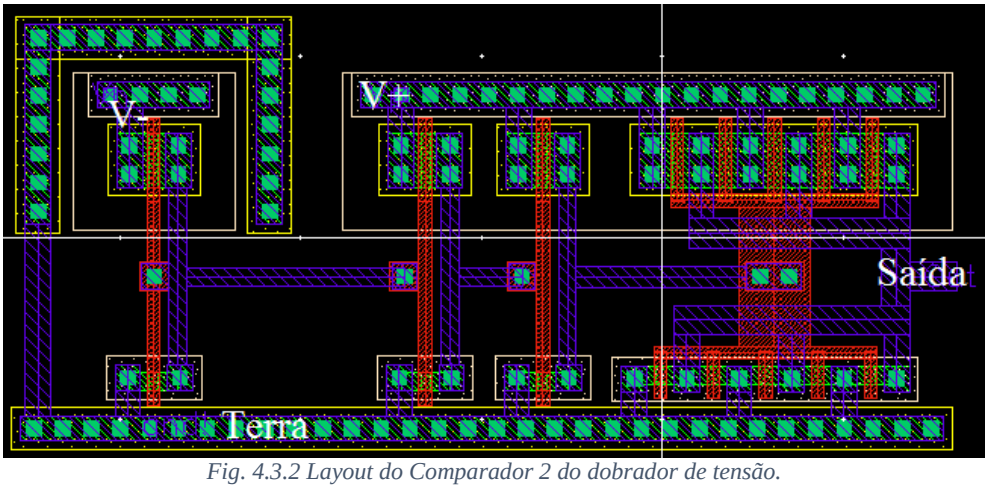


Fig. 4.3.2 Layout do Comparador 2 do dobrador de tensão.

Na Fig. 4.3.3 temos o *layout* do dobrador completo, com o transistor de canal N conectado ao seu respectivo comparador no lado esquerdo e transistor de canal P conectado ao respectivo comparador no lado direito, os dois com os seus anéis de guarda, já explicado anteriormente. A entrada do circuito está na trilha mais embaixo e a saída na trilha mais em cima do lado direito. As trilhas da entrada, da saída e do terra foram dimensionadas a partir da corrente máxima que é mostrada na Fig. 4.3.4, com a mesma

lógica explicada na Seção 4.2: para cada 1,0 mA de corrente, adicionamos 1,0 µm de largura à trilha. Podemos ver na Fig. 4.3.4 que a corrente máxima dos dois transistores é por volta de 15 mA. Portanto, vamos escolher uma trilha de 16 µm de largura por segurança.

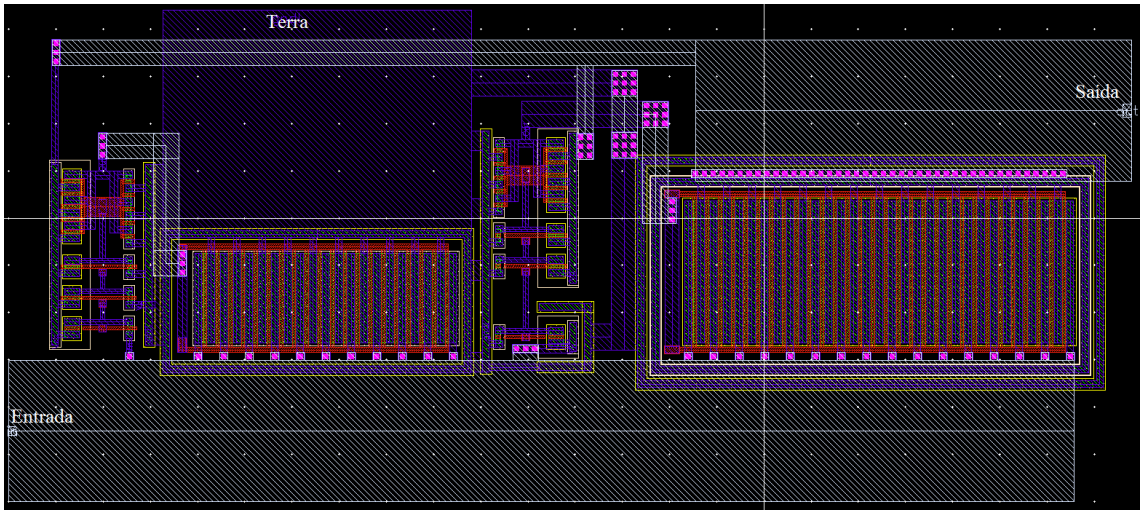


Fig. 4.3.3 Layout do retificador de tensão

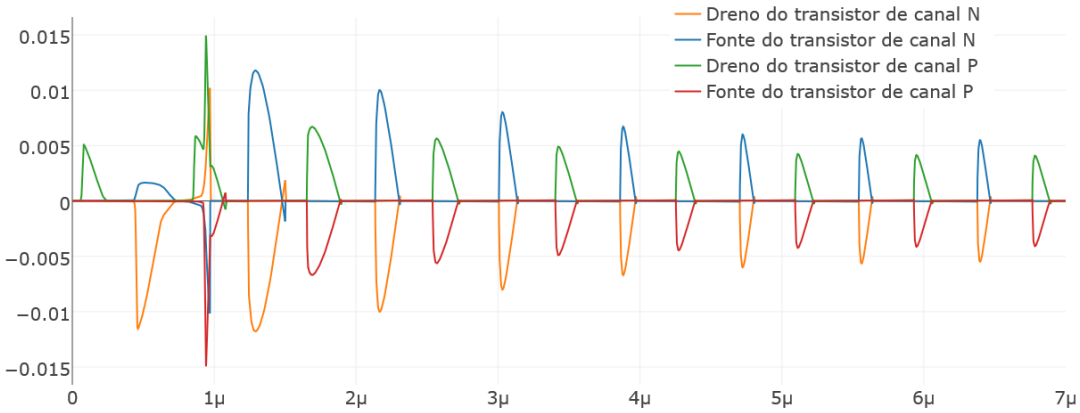


Fig. 4.3.4 Formas de ondas das correntes nos transistores do dobrador de tensão, obtidas por simulação.

Capítulo 5

Simulações

Após o projeto do circuito e dos *layouts* do retificador e do dobrador de tensão, vamos fazer as simulações mencionadas na Seção 1.5:

- A faixa da amplitude de entrada em que o circuito pode operar;
- A faixa da tensão DC na saída;
- O ganho de conversão de tensão;
- A potência de saída;
- A eficiência de conversão de potência (PCE).

5.1 Retificador de Tensão

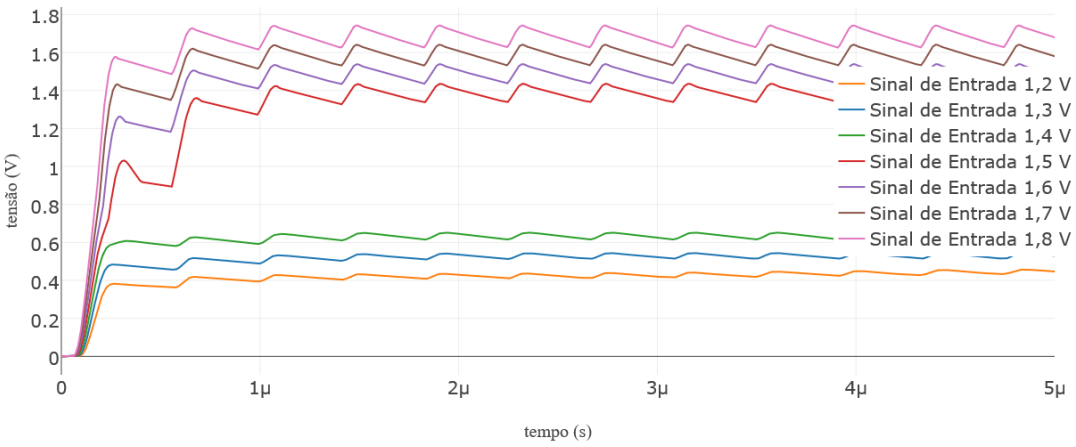


Fig. 5.1.1 faixa da amplitude do sinal de entrada do retificador de tensão

Na Fig. 5.1.1 temos o sinal de saída para amplitudes do sinal de entrada com valores de 1,2 V até 1,8 V, com passo de 0,1 V. Analisando o gráfico, vemos que a amplitude mínima do sinal de entrada para que os comparadores entrem em operação e elevem a

eficiência do circuito é de 1,5 V. Note que, para amplitudes de entrada inferiores a 1,5 V, o nível médio da tensão obtida na saída é bem menor que nos demais casos, porque quando a amplitude do sinal de entrada é pequena, o circuito opera apenas com os diodos parasitas dos transistores MOS, cuja queda de tensão na polarização direta contribui com a redução da tensão obtida na saída.

Na Fig. 5.1.2 vemos o sinal de saída com amplitude do sinal de entrada de 3 V, com tensão de saída máxima de 2,94 V e mínima de 2,73, ou seja, uma tensão de *ripple* de 0,21 V. Temos então $\frac{Vr}{Vp} = 7{,}15\%$, ou seja, um valor menor do que o projetado. Isso se dá pela escolha de um capacitor com valor maior do que o calculado, por questões de disponibilidade de valores comerciais de capacitância.

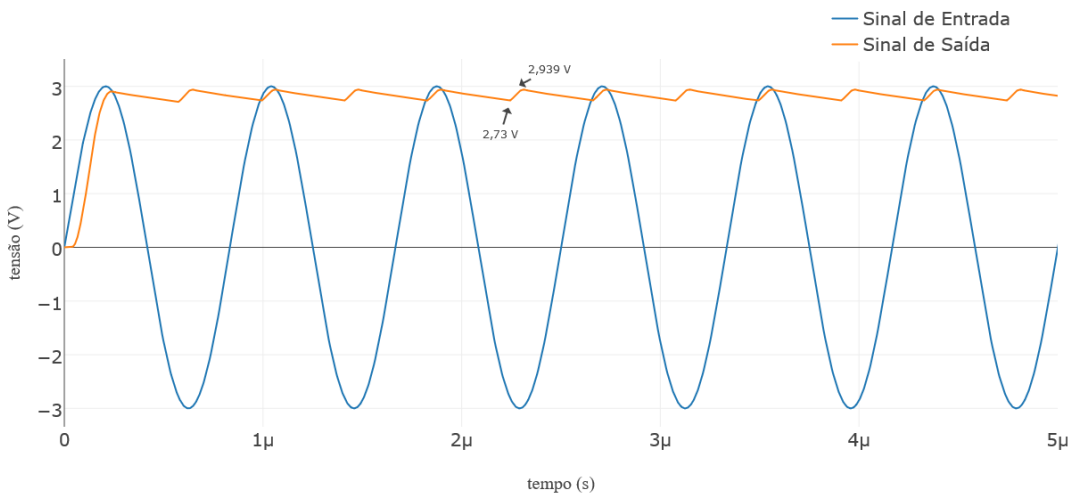


Fig. 5.1.2 Valores de pico da tensão do sinal de saída do retificador de tensão.

Para as próximas simulações, precisamos equacionar o ganho, a potência de saída e a eficiência de conversão de potência (PCE). Para o ganho médio do retificador de tensão em regime permanente, temos:

$$Ganho = \frac{média(v_{saída})}{amplitude(v_+ - v_-)}. \qquad (5.1.1)$$

Para a potência média de saída em regime permanente, temos:

$$Potência\ de\ Saída = média(v_{saída} * i_{saída}). \tag{5.1.2}$$

Por fim, a eficiência de conversão de potência (PCE) é dada por:

$$PCE = \frac{média(v_{saída} * i_{saída})}{média\big((v_+ - v_-) * i_{entrada}\big)}. \tag{5.1.3}$$

Na Fig. 5.1.3 temos o ganho médio de tensão do retificador de tensão para amplitudes do sinal de entrada com valores de 1,0 V até 3,0 V, também com passo de 0,1 V. Novamente, podemos ver que o circuito começa a funcionar a partir da amplitude de entrada de 1,5 V. O ganho para uma amplitude de entrada de 3,0 V de é de 0,944, um valor consideravelmente bom, mostrando que as quedas de tensão observadas nas chaves foram bem pequenas.

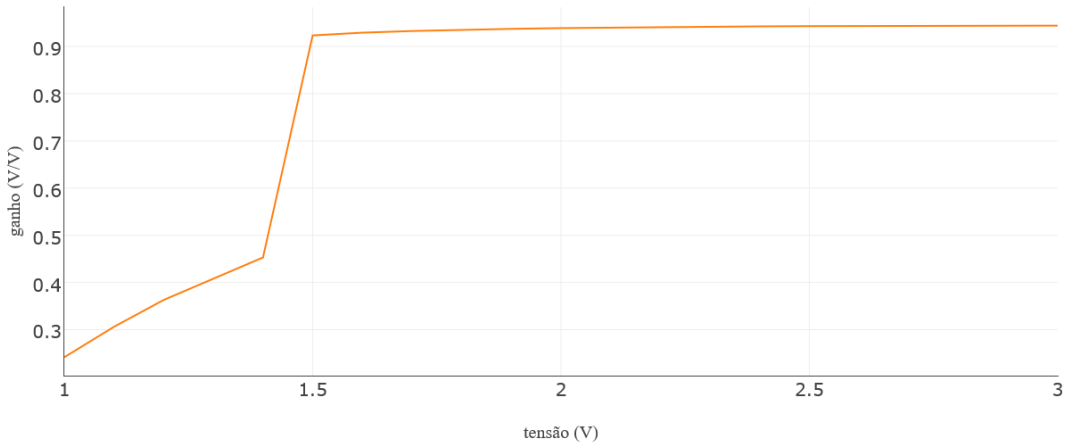


Fig. 5.1.3 Ganho de tensão médio do retificador de tensão em função da amplitude da tensão na entrada.

Na Fig. 5.1.4 temos a potência de saída e na Fig. 5.1.5 a eficiência de conversão de potência, os dois com amplitudes do sinal de entrada variando de 1,0 V até 3,0 V. Para uma amplitude de entrada de 3 V, temos a potência de saída e eficiência de conversão de potência iguais a 803 µW e 81,5%, respectivamente.

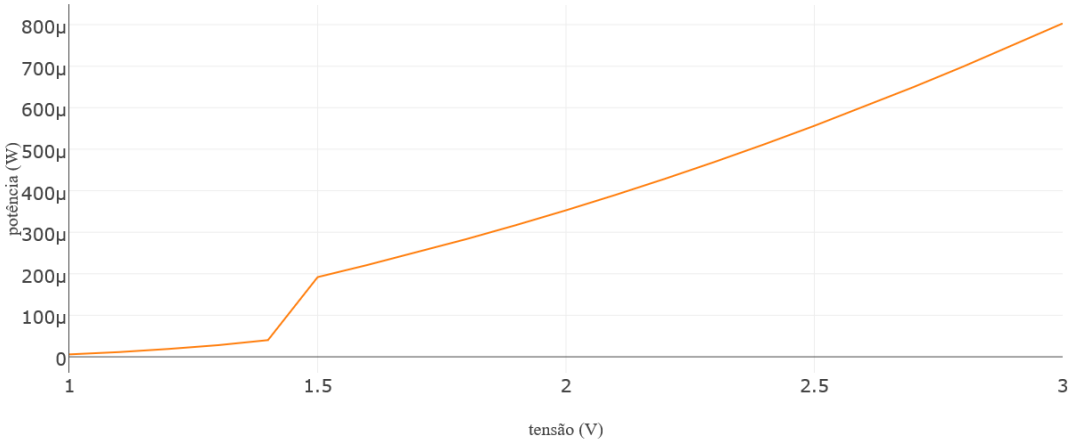


Fig. 5.1.4 Potência de saída média do retificador de tensão em função da amplitude da tensão na entrada.

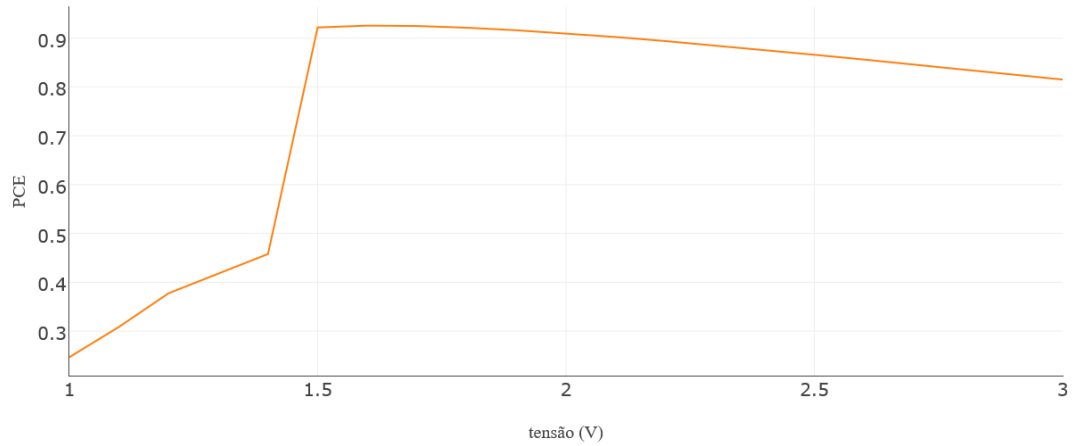


Fig. 5.1.5 PCE do retificador de tensão em função da amplitude da tensão na entrada.

Após o projeto do *layout* do retificador, foi usada uma ferramenta do C*adence* para extrair as resistências e capacitâncias parasitas criadas pelo layout, para então simular o circuito com a influência dos elementos parasitas. As simulações produziram resultados praticamente iguais àqueles obtidos com o circuito esquemático, como podemos ver nas Fig. 5.1.6, Fig. 5.1.7 e Fig. 5.1.8. Isso mostra que o *layout* do retificador foi muito bem feito.

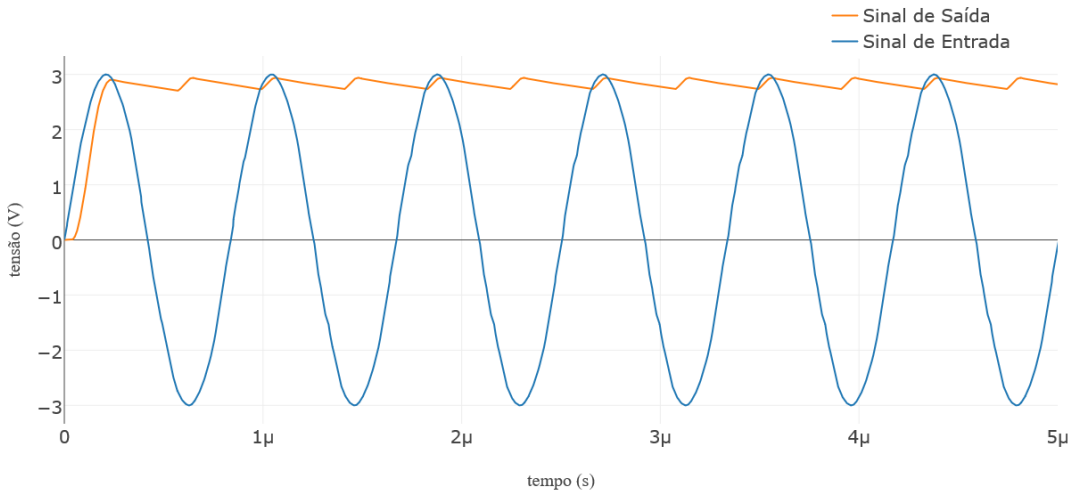


Fig. 5.1.6 Formas de onda da tensão na entrada e na saída do retificador de tensão com a influência dos elementos parasitas.

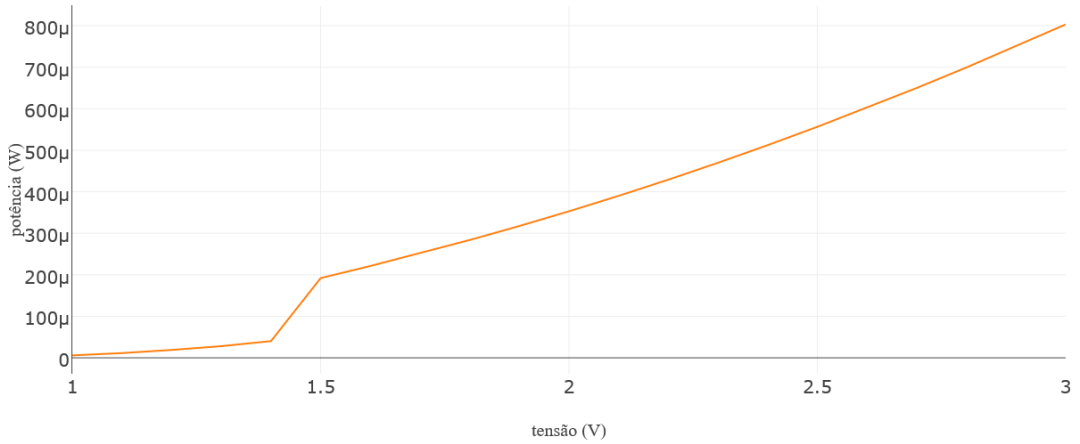


Fig. 5.1.7 Potência de saída média do retificador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada.

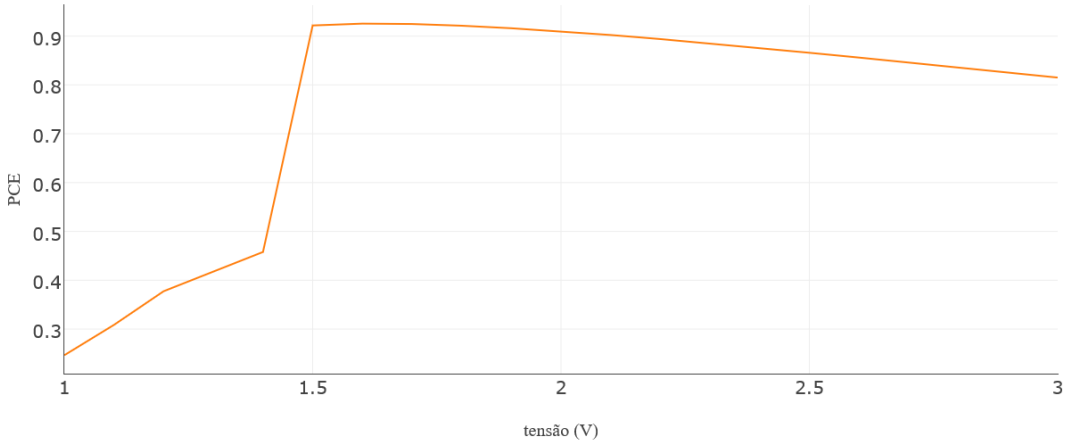


Fig. 5.1.8 PCE do retificador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada.

5.2 Dobrador de Tensão

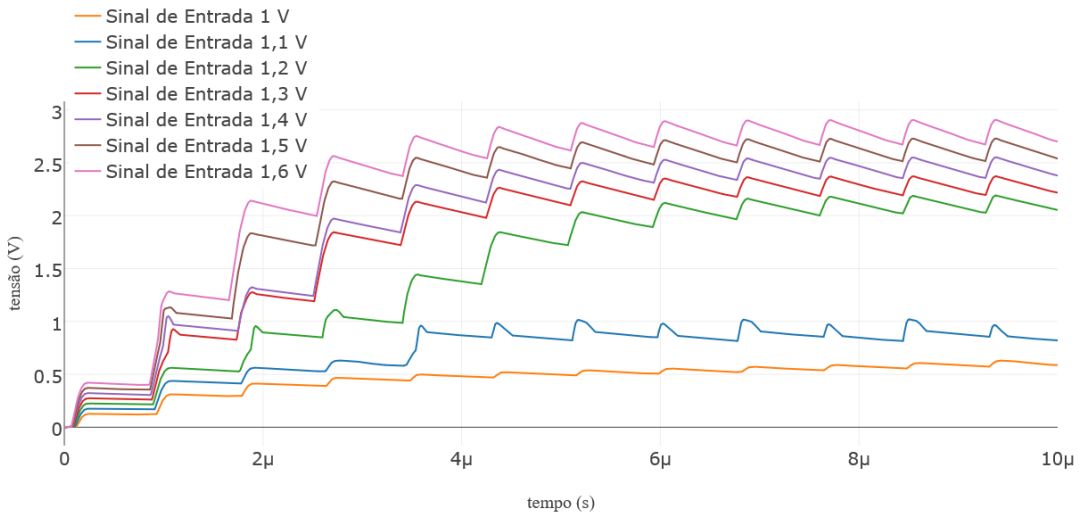


Fig. 5.2.1 Faixa da amplitude do sinal de entrada do dobrador de tensão.

Na Fig. 5.2.1 temos o sinal de saída do dobrador de tensão para amplitudes do sinal de entrada variando de 1,0 V até 1,6 V, com passo de 0,1 V. Analisando o gráfico, vemos que a amplitude do sinal de entrada mínimo é de 1,2 V para que os comparadores comecem a atuar, elevando a eficiência do circuito.

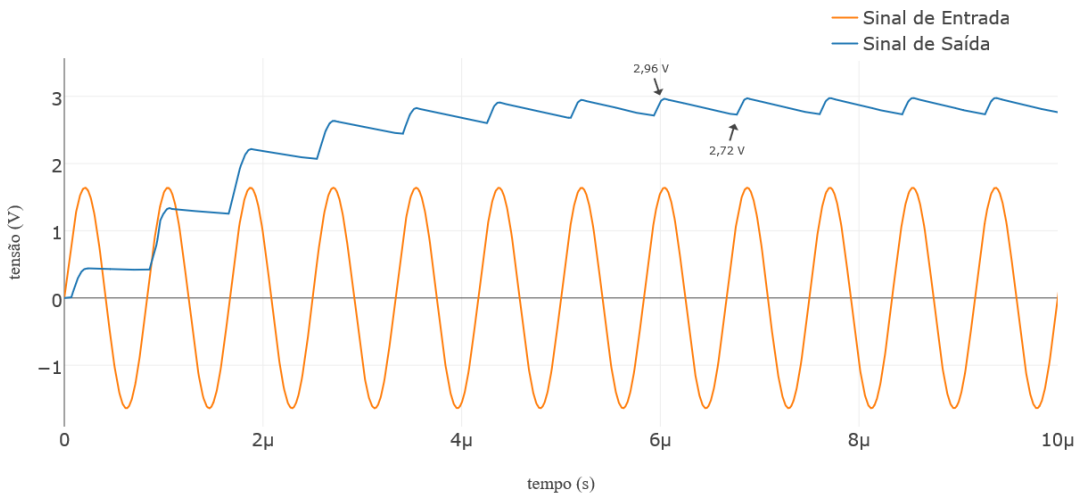


Fig. 5.2.2 Valores de pico da tensão do sinal de saída do dobrador de tensão.

Na Fig. 5.2.2 vemos o sinal de saída obtido com uma amplitude de sinal de entrada de 1,62 V. Na saída, a tensão máxima obtida foi de 2,96 V e a mínima de 2,72 V, ou seja,

uma tensão de *ripple* de 0,24 V. Temos então $\frac{Vr}{Vp} = 8{,}82\%$, ou seja, um valor menor do que o projetado. Da mesma forma que o retificador, isso se dá pela escolha de um capacitor com valor comercial maior do que o calculado.

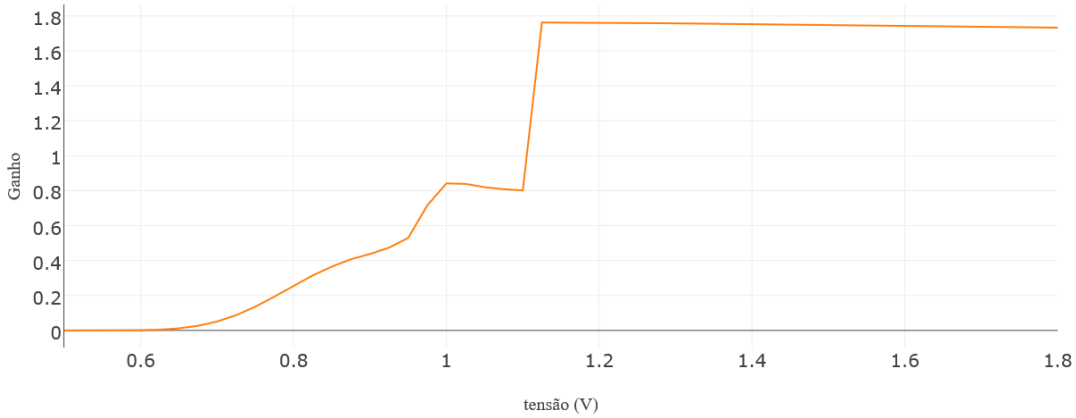


Fig. 5.2.3 Ganho de tensão médio do dobrador de tensão em função da amplitude do sinal de entrada.

Na Fig. 5.1.3 temos o ganho de tensão médio do dobrador de tensão para amplitudes do sinal de entrada com valores de 0,5 V até 1,8 V, também com passo de 0,1 V. Novamente, podemos ver que o circuito começa a funcionar adequadamente a partir da amplitude de entrada de 1,1 V, quando os comparadores passam a atuar no acionamento das chaves do circuito. O ganho para uma amplitude de entrada de 1,6 V é de 1,734 V/V.

Na Fig. 5.2.4 temos a potência media na saída e na Fig. 5.2.5 a eficiência de conversão de potência (PCE), os dois com amplitudes do sinal de entrada com valores variando de 0,5 V até 1,8 V. Para uma amplitude de entrada de 1,62 V, temos que a potência de saída e a eficiência de conversão de potência são iguais a 802 µW e 77,7%, respectivamente.

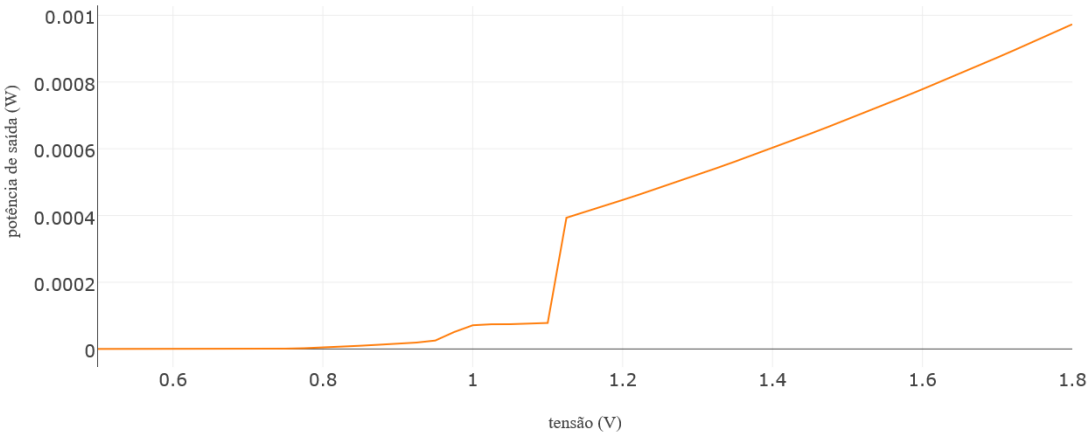


Fig. 5.2.4 Potência de saída média do dobrador de tensão em função da amplitude da tensão na entrada.

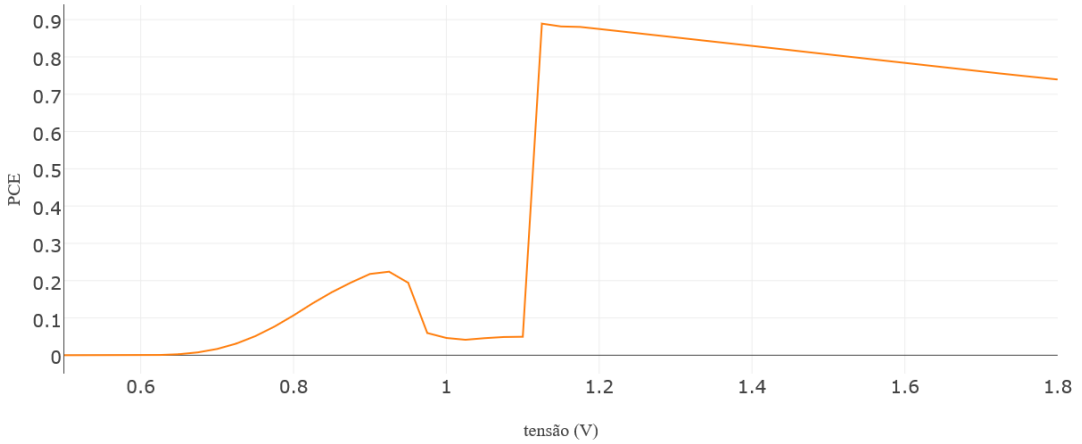


Fig. 5.2.5 PCE do dobrador de tensão em função da amplitude da tensão na entrada.

Da mesma forma que nas simulações do circuito, foi utilizada uma ferramenta do software *Cadence* para extrair as resistências e as capacitâncias parasitas criada pelo *layout*, para, então, simular o circuito com a influência dos elementos parasitas. As simulações novamente ficaram praticamente com os mesmos valores obtidos nas simulações com os circuitos esquemáticos, como podemos ver nas Fig. 5.2.6, Fig. 5.2.7 e Fig. 5.2.8 PCE do dobrador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada. Isso mostra que o *layout* do circuito do dobrador também foi muito bem feito.

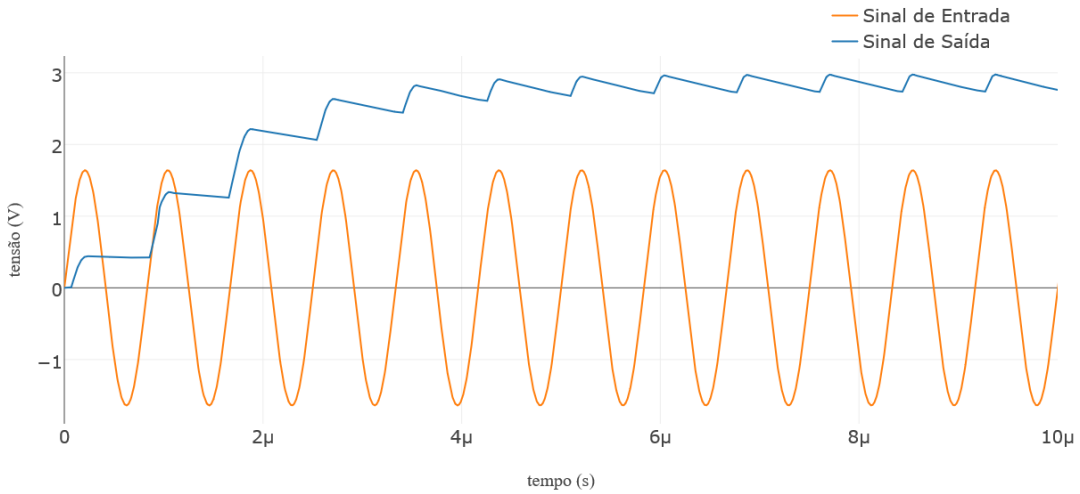


Fig. 5.2.6 Formas de onda da tensão na entrada e na saída do dobrador de tensão com a influência dos elementos parasitas.

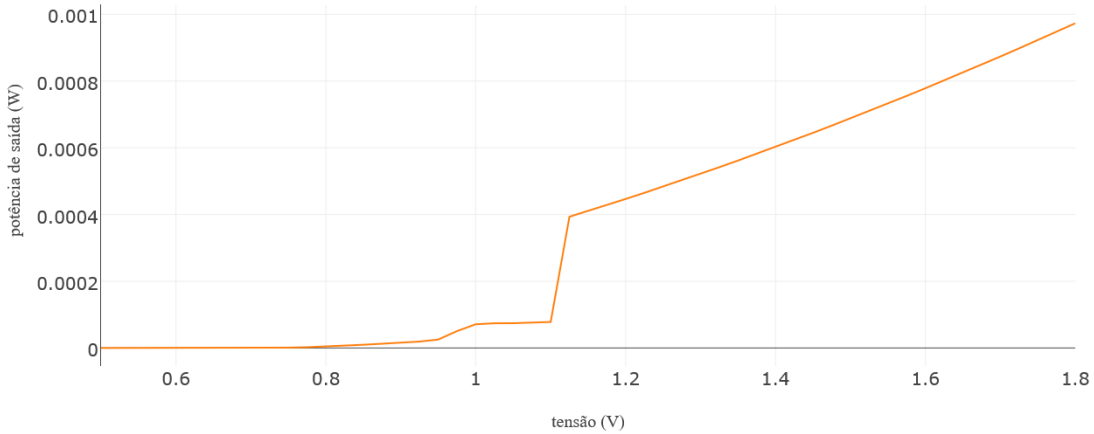


Fig. 5.2.7 Potência de saída média do dobrador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada.

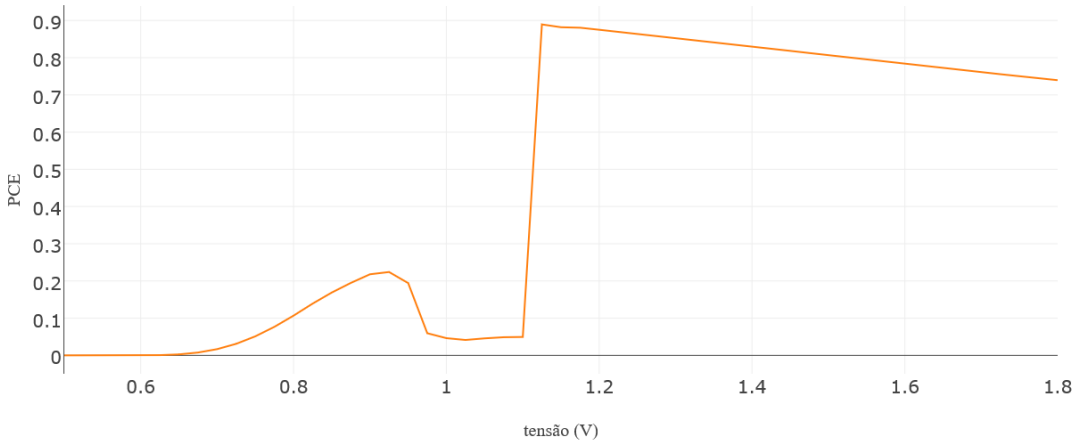


Fig. 5.2.8 PCE do dobrador de tensão com a influência dos elementos parasitas em função da amplitude da tensão na entrada.

Analisando as simulações dos dois sistemas coletores de energia, podemos perceber que a eficiência é bem baixa para pequenas amplitudes do sinal de entrada em comparação à eficiência para sinais de maior amplitude. Isso acontece porque existe uma tensão mínima na entrada para que os comparadores funcionem corretamente, como foi discutido no Capítulo 3. Quando essa tensão é menor que a necessária, o sistema como um todo opera com base nos diodos parasitas dos transistores MOS usados como chave, cujas tensões de joelho contribuem para a redução da eficiência do circuito conversor. A partir dessa amplitude de tensão de entrada em que os comparadores passam a atuar no acionamento das chaves, o sistema coletor de energia passa a apresentar uma eficiência bem maior.

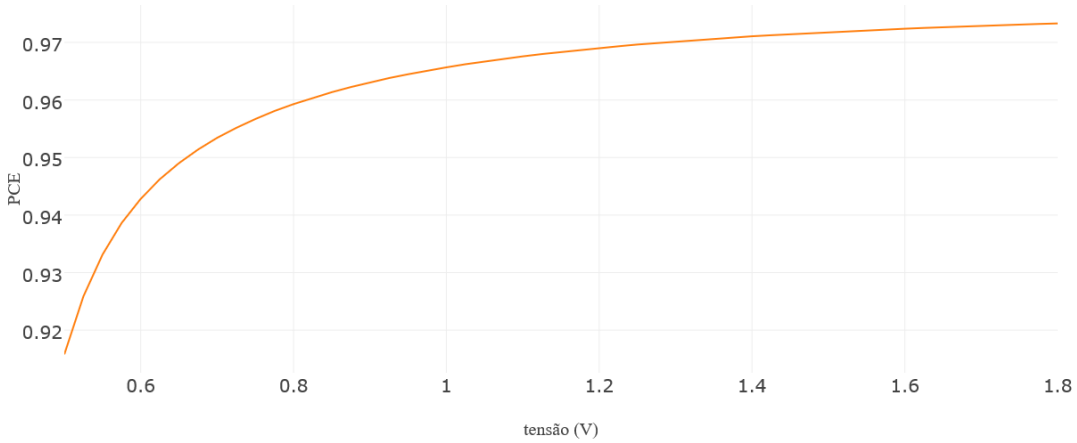


Fig. 5.2.9 PCE do retificador de tensão com comparadores ideais em função da amplitude da tensão na entrada.

Na Fig. 5.2.8 e na Fig. 5.2.9 temos a eficiência de conversão de potência (PCE) do retificador e do dobrador de tensão com comparadores ideais, respectivamente. Comparando essas duas simulações com aquelas obtidas para a eficiência do retificador e do dobrador de tensão com comparadores reais, mostradas na Fig. 5.1.5 e na Fig. 5.2.5, podemos perceber que existe perda de eficiência causada pela inclusão dos comparadores. Essa perda de eficiência é causada pelas correntes consumidas pelos comparadores reais.

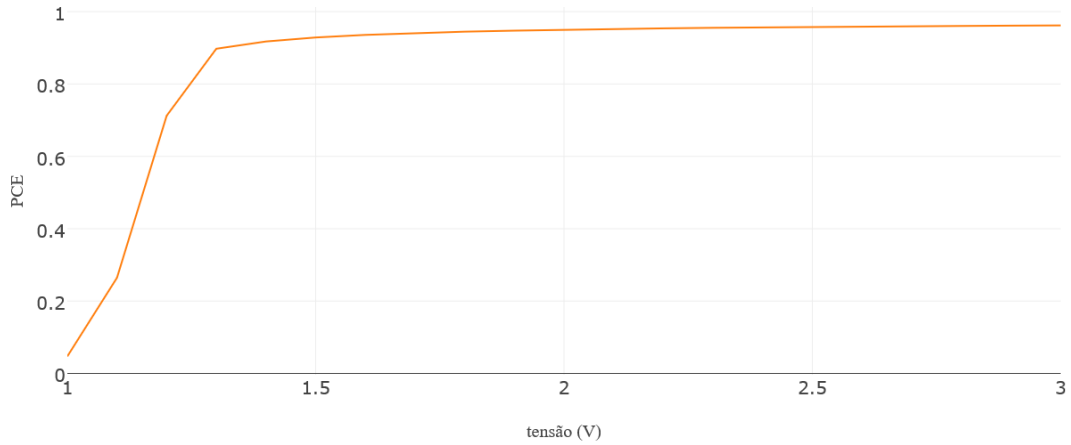


Fig. 5.2.10 PCE do dobrador de tensão com comparadores ideais em função da amplitude da tensão na entrada.

Por fim, é importante notar que os gráficos de PCE das Fig. 5.2.9 e 5.2.10, obtidos para os circuitos conversores com comparadores ideais, não apresentam o comportamento decrescente de eficiência conforme a amplitude da tensão na entrada é aumentada. Esse comportamento decrescente só é observado nas Fig. 5.1.5 e 5.2.5, quando são simulados os circuitos conversores contendo os comparadores reais. Isso acontece porque os comparadores são polarizados com a tensão DC na saída dos seus respectivos conversores e, consequentemente, suas correntes de polarização também vão aumentar conforme a tensão na saída aumenta, em virtude do aumento da amplitude do sinal na entrada. Assim, como as correntes de polarização dos comparadores introduzem perdas de eficiência no sistema de coleta de energia, é natural observar a queda na PCE conforme a amplitude do sinal de entrada aumenta.

	Ganho	**Potência de Saída (µW) @ V_{OUT} = 3,0 V**	**Eficiência de Conversão de Potência (PCE) @ V_{OUT} = 3,0 V**
Retificador de Tensão	0,944	803	81,5%
Dobrador de Tensão	1,734	802	77,7%

Tabela 5.2.1 Síntese dos resultados das simulações.

Capítulo 6

Conclusões e Trabalhos Futuros

Para finalizar o projeto, vamos analisar agora as simulações. Na Tabela 5.2.1, temos, para os dois sistemas coletores de energia, o ganho, a potência de saída e a eficiência de conversão de potência para a tensão do sinal de saída de 3,0 V. Podemos ver que o retificador de tensão tem uma maior eficiência, com 81,5%, contra 73,9% do dobrador de tensão, embora o dobrador apresente um ganho de tensão médio maior

Como o retificador de tensão teve a maior eficiência, ele é o escolhido para os trabalhos futuros. O próximo passo é a fabricação do circuito integrado do retificador e o projeto da rede de casamento de impedância, mostrada na Fig. 1.2.1.

Bibliografia

[1] Li, Qiang; Wang, Jing; Inoue, Yasuaki. A high efficiency CMOS rectifier with ONOFF Response Compensation. International Symposium on Integrated Circuits (ISIC), Singapore, p. 91-94, 2014.

[2] Dallago, E.. et al. Self-Supplied Integrable Active High-Efficiency AC-DC Converter for Scavenging Systems. IEEE International Symposium on Circuits and Systems, New Orleans, p. 1633-1636, 2007.

[3] Cha, Hyouk-Kyu; Park, Woo-Tae; Je, Minkyu. A CMOS Rectifier With a Cross-Coupled Latched Comparator for Wireless Power Transfer. IEEE Transactions on Circuits and Systems – II: Express Briefs, vol. 59, no. 7, July 2012

[4] Sedra, Adel S.; Smith, Kenneth C.. Microelectronics Circuit. 6 ed. Oxford University Press, 2009.